

プロジェクトの作成手順

学習内容

Quartus Prime ではプログラムが記述された Verilog HDL ファイル（後述）やピン配置の情報などをプロジェクトという単位で管理しています。新しい回路プログラムを作成するときには新しいプロジェクトを作成するようにしましょう。

1. プロジェクトの作成
2. 回路プログラムの記述

1. プロジェクトの作成

- 1 あらかじめ、エクスプローラでプロジェクトファイル群を収納するフォルダを作成しておきます。
例：C:\Documents and Settings\ユーザー名\My Documents\project_Quartus\step03



フォルダのフルパス名に全角文字が含まれていると Quartus Prime がエラーを表示する場合がありますので注意しましょう。ユーザー名が全角の場合は、プロジェクトフォルダを全角の含まれないディレクトリに変えてください。

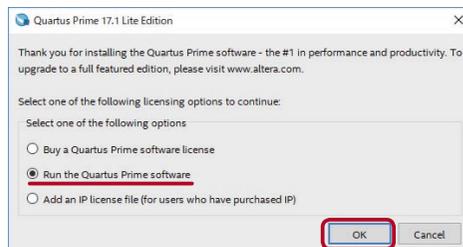


step03

- 2 デスクトップ上にある Quartus Prime のアイコンをダブルクリックして Quartus Prime を起動します。
または、スタートメニュー> Intel FPGA 17.1.0.590 Lite Edition > Quartus (Quartus Prime 17.1) を選択して Quartus Prime を起動します。



- 3 初回起動時に、右のようなライセンスの確認があります。無償のウェブ・エディションを使う場合は、「Run the Quartus Prime software」を選択し「OK」をクリックします。

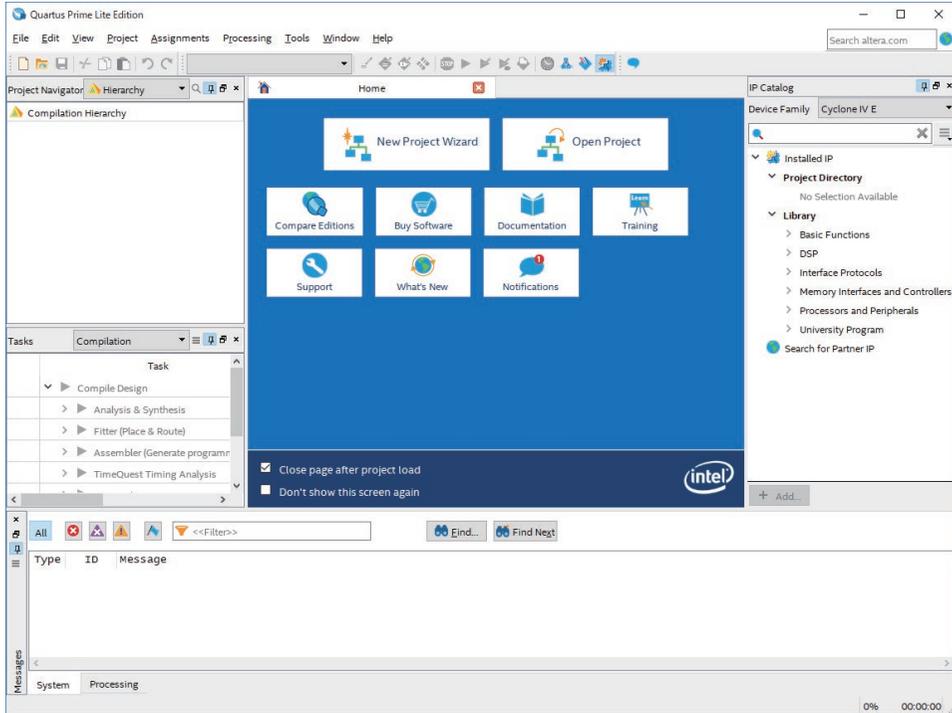


↓
次のページへ

プロジェクトの作成手順

- 4 Quartus Prime が起動すると、以下のような画面が表示されます。

■ Quartus Prime 画面

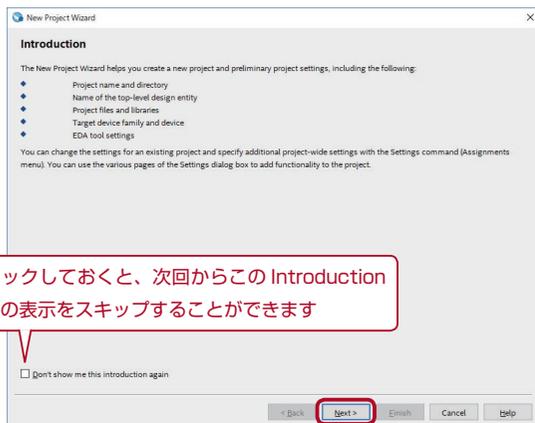


- 5 Home タブの「New Project Wizard」をクリックするか、メニューから File > New Project Wizard を選択します。すると、New Project Wizard が起動します。

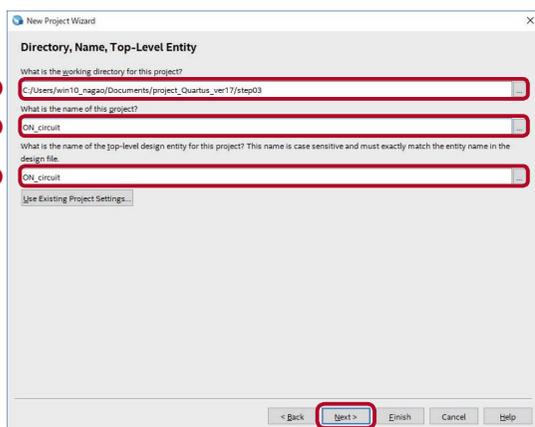


↓
次のページへ

プロジェクトの作成手順



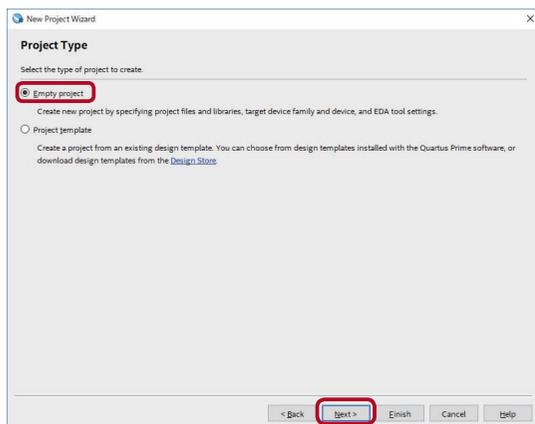
- 6 New Project Wizard のイントロダクション画面です。「Next」をクリックします。



- 7 ■ ディレクトリ、プロジェクト名、トップレベルエンティティ名の指定

- 1 プロジェクトファイルを作成するディレクトリ
1で作成したフォルダを指定します。
- 2 プロジェクト名 .qpf
作成するプロジェクト名を記入します。(例：ON_Circuit)
- 3 Top-level design entity 名
プロジェクト名を記入すると自動的に同じ名前が記入されます。この名前は変更することも可能ですが、ファイル構造が理解できないうちはプロジェクト名と同じ名称にしましょう。

入力が終了したら、「Next」をクリックします。

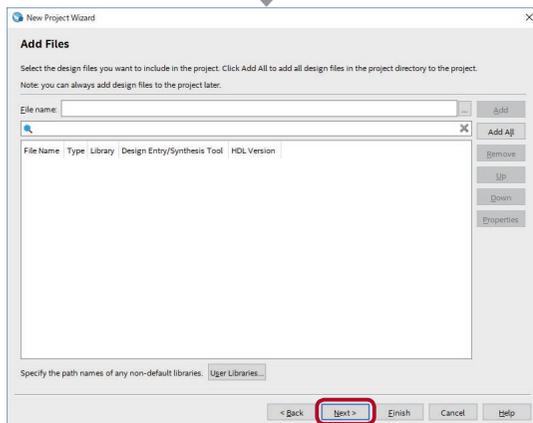


- 8 ■ プロジェクトタイプの選択

ネットの Design Store から DE0-nano 用のプロジェクトテンプレートを入手することもできますが、ここでは空のプロジェクトから設していく方法を学ぶため Empty Project を選択します。

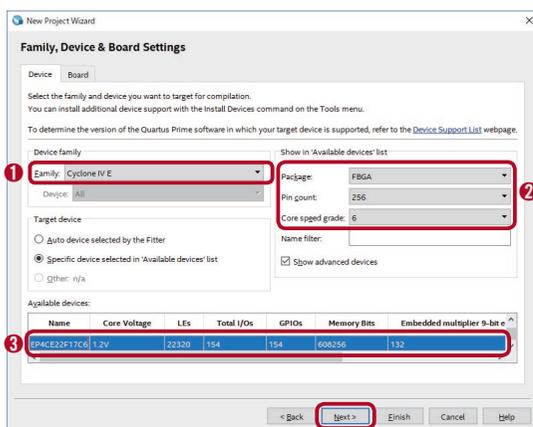
「Next」をクリックします。

プロジェクトの作成手順



9 ■ プロジェクトに追加するファイルの指定

この指定は後からでも行えます。
今回追加するファイルはまだないのでそのまま「Next」をクリックします。

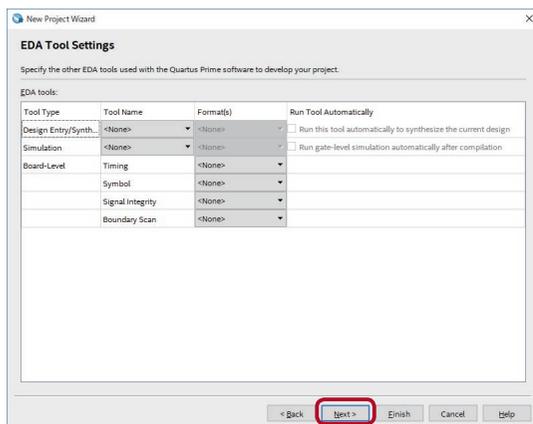


10 ■ 使用するFPGA（デバイス）の指定

DE0-Nano ボードに搭載されているFPGAは「Cyclone IV EP4CE22F17C6」です。

- ① 「Cyclone IV E」を選択。
- ② Package : FBGA
Pin count : 256
Speed grade : 6
を選択し、デバイスを絞り込みます。
- ③ 「EP4CE22F17C6」を選択。

選択が終了したら「Next」をクリックします。

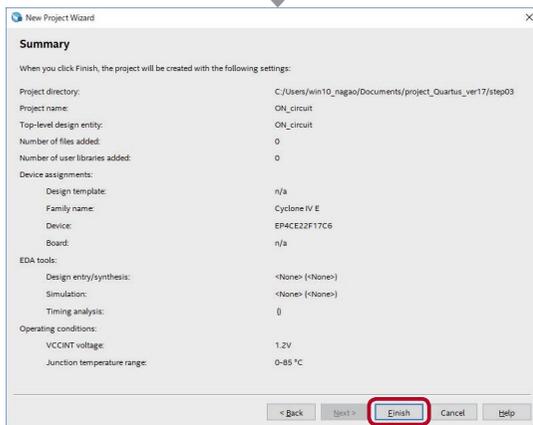


11 ■ シミュレーション等を行う外部ツールの設定

シミュレーションについてはSTEP 09 で解説します。今回は何も選択せずに「Next」をクリックします。

次のページへ

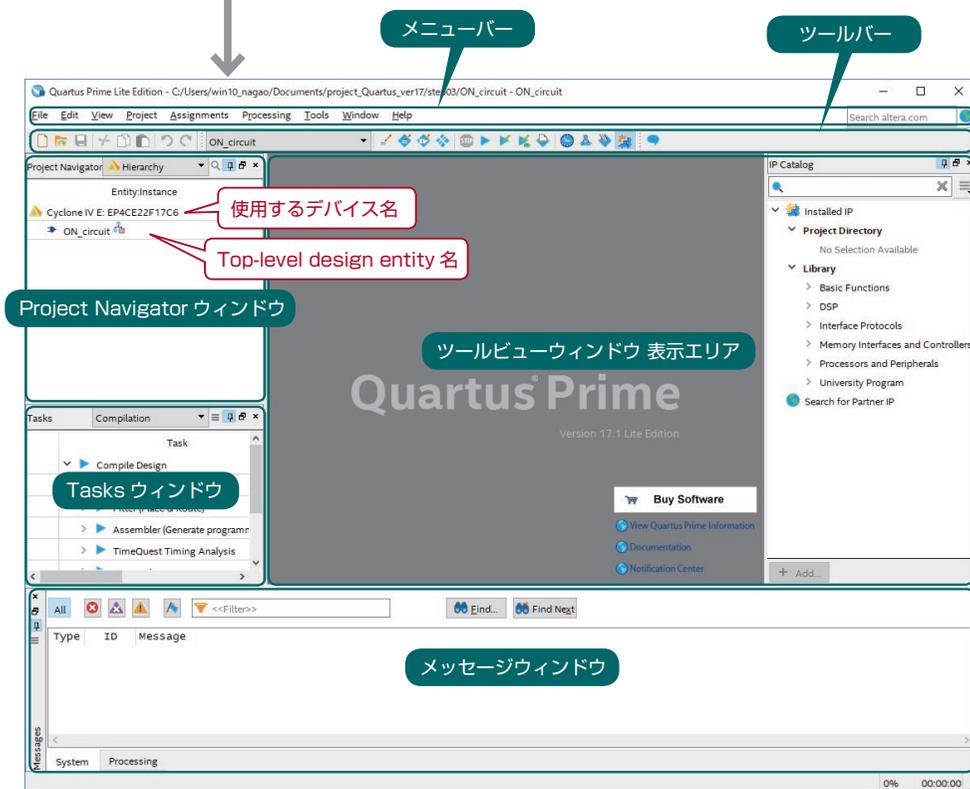
プロジェクトの作成手順



12 ■ 設定内容確認

これまで設定を行ってきた内容の一覧が表示されます。「Project directory」や「Device assignments」の設定をもう一度確認した後「Finish」をクリックします。

13 すると、Quartus Prime 画面に以下のように表示されます。



各ウィンドウの表示・非表示は、View > Utility Windows で設定可

プロジェクトの作成手順

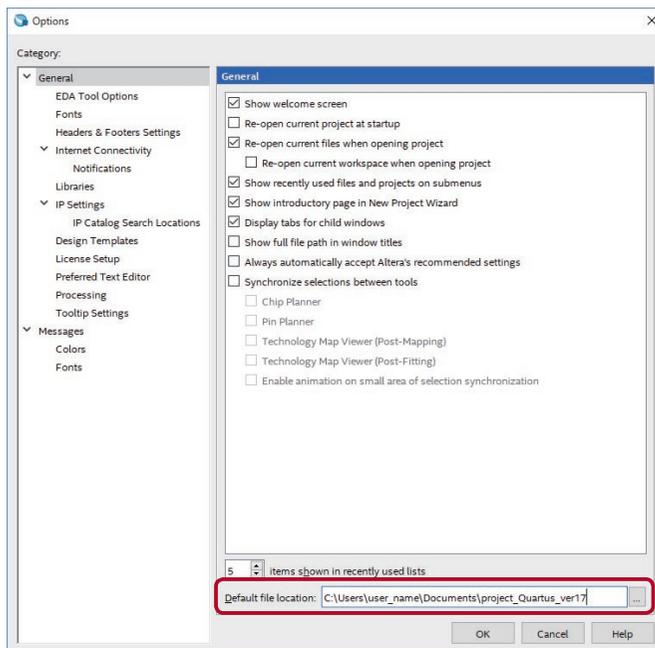


次回 Quartus Prime 起動時に、プロジェクトファイルを開くには、File > Open Project を選択し、.qpf ファイルを開きます。

エクスプローラ上で .qpf ファイルをダブルクリックして開くこともできます。



拡張子 .qpf はお使いのパソコンの設定により表示されない場合があります。



以後、step03 フォルダを作成した C:\Documents and Settings\ユーザ名\My Documents\project_Quartus\ をデフォルトディレクトリに指定しておくといでしょう。

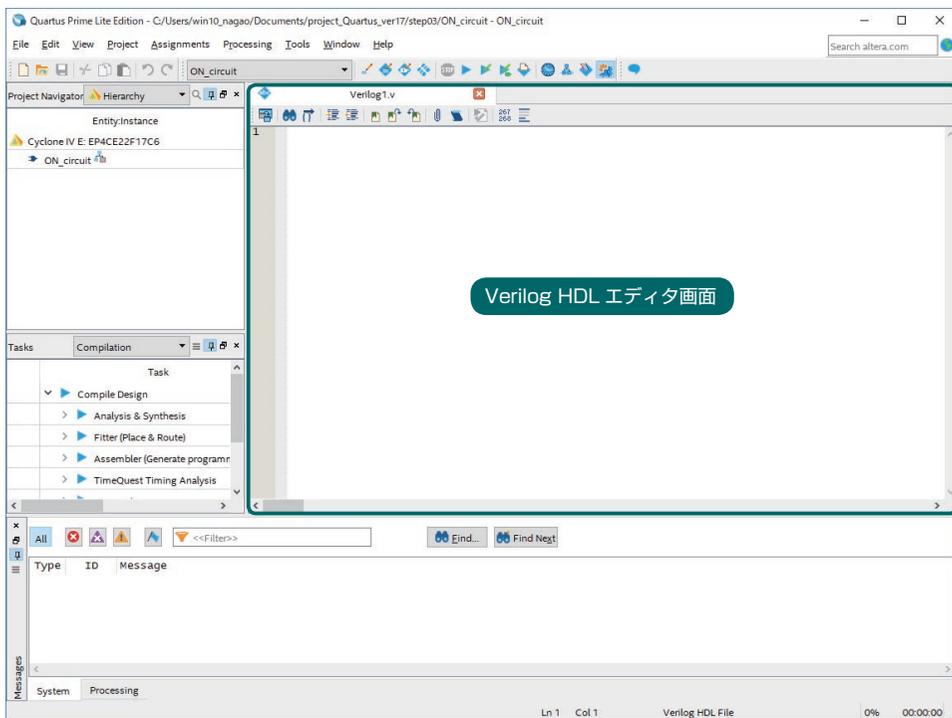
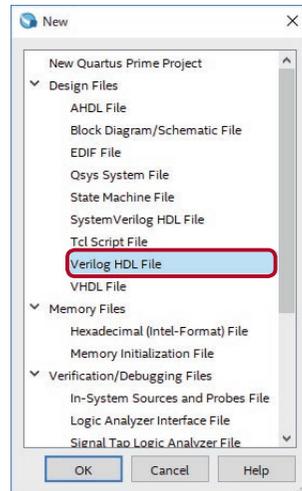
Quartus Prime のメニューから Tools > Options を開き、General の Default file location で指定することができます。

これで次回 Quartus Prime 起動時に、File > Open Project でデフォルトディレクトリが開くようになります。

プロジェクトの作成手順

2. 回路プログラムの記述

- 1 回路プログラムである Verilog HDL ファイル(.v)を作成します。Quartus Prime の File > New を選択します。表示されたダイアログの中から「Verilog HDL File」を選択し、「OK」をクリックします。



すると Verilog HDL ファイル (.v) が作成され、Quartus Prime 上にエディタが表示されます。このエディタ画面に回路を Verilog HDL で記述していきます。本書では、Verilog HDL で記述した回路をリストと呼ぶことにします。

プロジェクトの作成手順

HDL (ハードウェア記述言語)

HDLとはデジタル回路の設計用に使用するハードウェア記述言語 (Hardware Description Language) のことです。HDLには多くの言語が存在しますが、現在、主にVHDLとVerilog HDLの2つが主流です。

	Verilog HDL	VHDL
生い立ち	Cadence Design System社が論理シミュレータ用言語として開発	米国国防省が、電子回路の仕様を記述する言語として提唱
IEEE 標準化年	1995年	1987年
言語仕様	簡素 (記述量が少ない)	厳格 (記述量が多い)
似ている構文	C言語	Pascal

Verilog HDLは、ソフトウェア開発者にも受け入れやすいようにC言語の構文に似た記述ができるようになっています。本書ではこのVerilog HDLで回路を記述していきます。

2 回路の設計

エディタ画面に回路をVerilog HDLで記述します。以下にサンプルリストを示します。

各行の終わりに「; (セミコロン)」が必要なのはC言語に似ています。

Verilog HDLの詳しい文法についてはSTEP 05以降で解説しますので、まずはこの通りに入力してください。

step03.v

弊社サイトに解答例ソースをご用意しています。<http://www.adwin.com/product/AKE-1104.html>

```

1 module ON_Circuit(KEY0, LED0);
2
3   input KEY0;
4   output LED0;
5
6   assign LED0 = ~KEY0;
7
8 endmodule
9

```

モジュール名: ON_Circuit

行番号の入力は不要

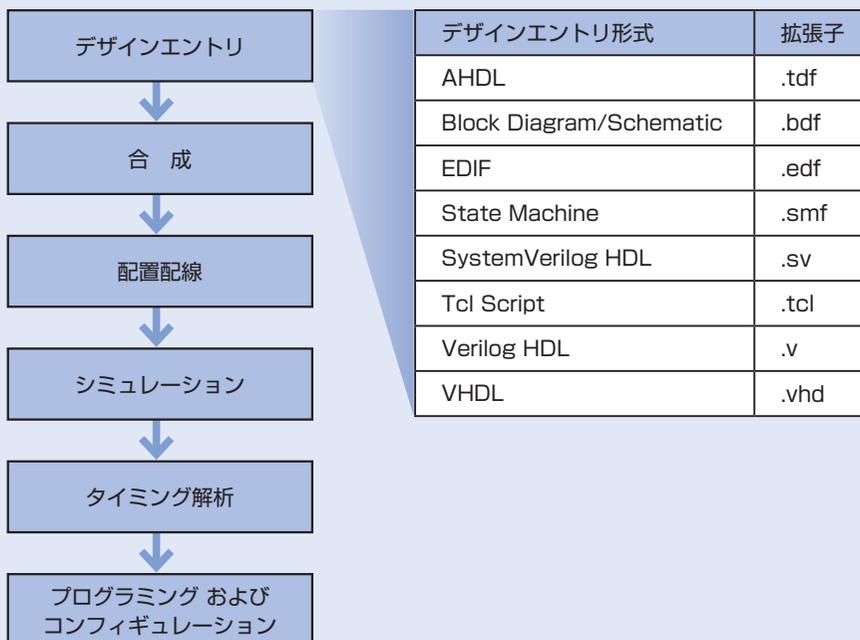
エラーになるわけではありませんが、「endmodule」がシンタックスハイライト (文字の色が変わること) されないので Verilog HDL リストの最終行には改行を入れておいた方がいいようです。C言語の「no newline at end of file (ファイルの最後に改行がない)」エラーと同じと思われる。

プロジェクトの作成手順



Quartus Prime のデザインフロー と デザインエントリ形式

Quartus Prime を使った回路設計は以下のデザインフローで行われます。



最初のデザインエントリでは目的とする機能・動作を何らかの手段で表現をします。この「何らか手段」にはいくつかの方法があります。もっとも基本的な方法としては回路図(スキマティック)入力があります。これはANDやOR等の論理素子単位でシンボルを入力をしていきその素子間を線で結びます。ごく小規模の回路設計では問題ありませんが今日の大規模設計やまた設計再利用という観点からすると好ましい方法とはいえません。本書では現在設計手段の主流であるHDL (ハードウェア記述言語) でデザインエントリを学習します。