

## プロジェクトの実行手順

## 学習内容

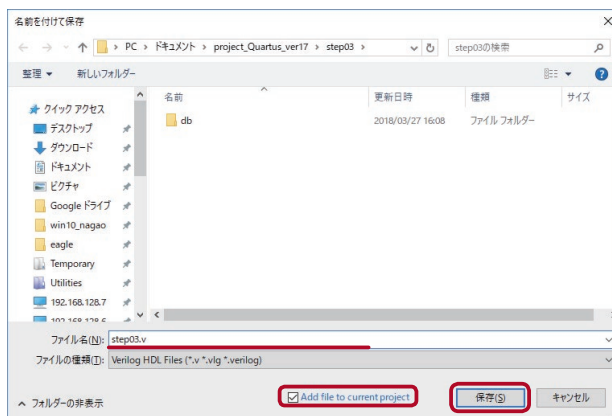
Quartus Prime で作成されたプロジェクトをターゲットボードである DEO-Nano で実行させる方法を学習します。プログラムの実行は以下の手順で行います。



1. 文法チェック
2. ピン配置（配置配線）
3. コンパイル（コンフィギュレーションファイルの生成）
4. コンフィギュレーションファイル転送

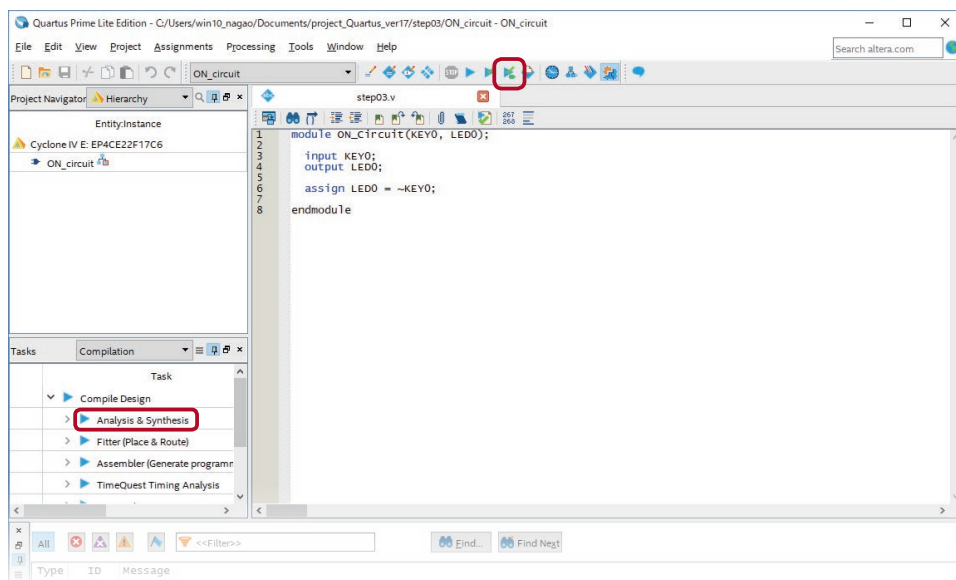
## 1. 文法チェック

- 1 文法チェックを行う前に、記述した Verilog HDL ファイル (.v) を保存します。Quartus Prime のメニューから File > Save を選択します。すると保存場所を選択するようになり、デフォルトでプロジェクトがあるフォルダが選択されます。

Verilog HDL (.v) のファイル名は任意でかまいません。例では Top-level design entity 名やモジュール名と区別するため「step03.v」としています。

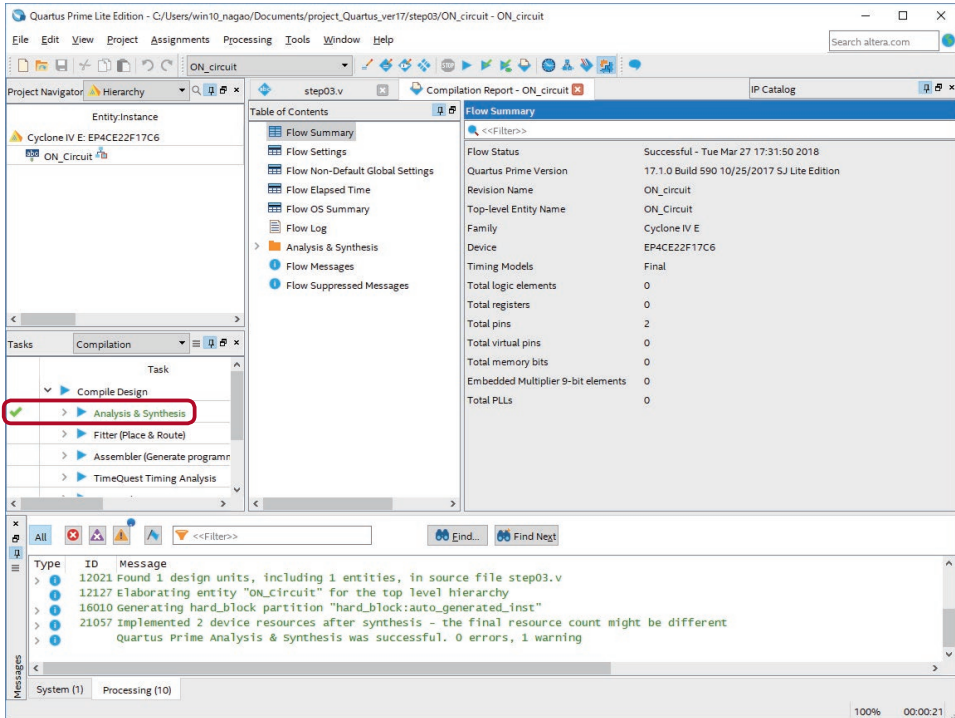


- 2 保存が終了したら、①～③のいずれかの方法で文法チェックを行います。
  - ① Quartus Prime のメニューから Processing > Start > Start Analysis & Synthesis を選択。
  - ② ツールバーの「Start Analysis & Synthesis」ボタン  をクリック。
  - ③ Tasks ウィンドウの  Analysis & Synthesis をダブルクリック。




## プロジェクトの実行手順

- 3 すると、文法チェックが開始されます。正常に終了するとTask ウィンドウの「Analysis & Synthesis」行に緑のチェックマークが付きます。これで文法チェックは終了です。もしこの段階で、エラーが表示されるようであれば、Verilog HDL ファイルをチェックしてみましょう。



文法チェック時、「**✖ Top-Level design entity " \* \* \* " is undefined**」とメッセージ欄に出るのはよくあるエラーです。Top-level design entity 名とモジュール名が一致していない場合に起こります。大文字小文字も区別されますのでご注意ください。

Top-level entity 名の変更は ①②③のいずれかの方法で Settings ウィンドウを開き、


- ① Quartus Prime のメニューから Assignment > Settings を選択。
- ② ツールバーの「Settings」ボタン  をクリック。
- ③ Project Navigator ウィンドウの「Cyclone IV E」を右クリックして Settings を選択  
General の Top-level entity 欄にモジュールと同一名を入力してください。

## プロジェクトの実行手順

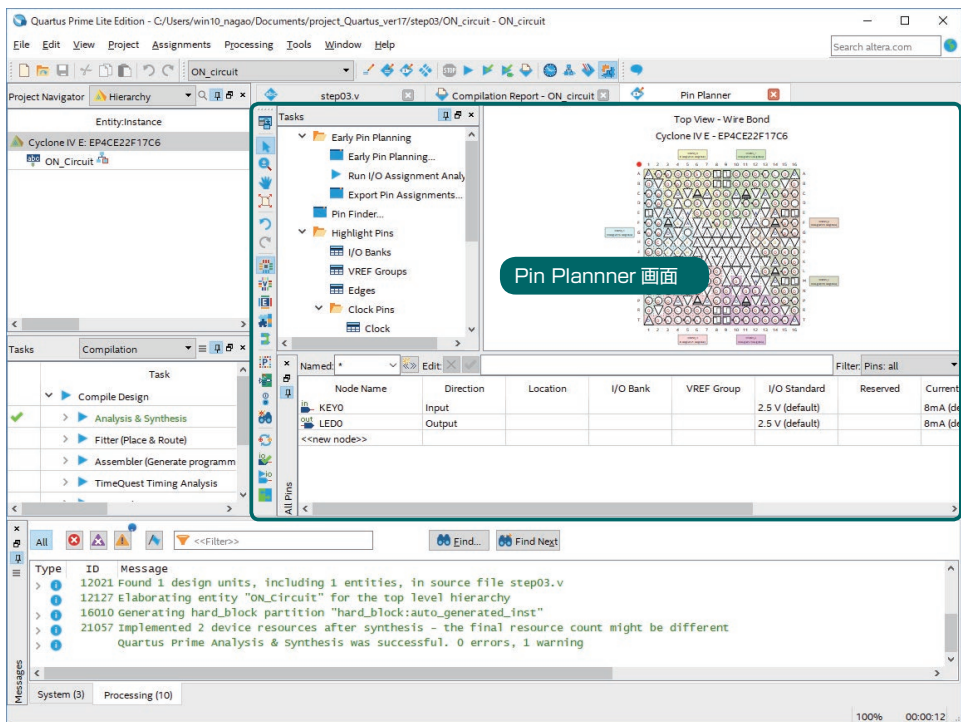
### 2. ピン配置 (配置配線)

- 1 文法チェックが終了したら、モジュール宣言で宣言した入出力ポートに FPGA 上の実際のピン番号を割り振ります。この作業を行わなければ、たとえプログラム (回路) が正しくても動作しません。

ピン番号の割り振りは「Pin Planner」で行います。①②のいずれかの方法で起動します。

- ① Quartus Prime のメニューから Assignments > Pin Planner を選択。
- ② ツールバーの「Pin Planner」ボタン  をクリック。

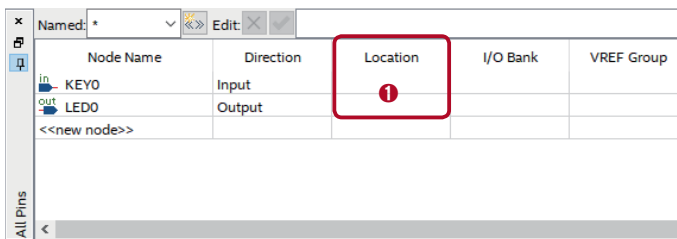
- 2 すると、Pin Planner の画面が新しいウィンドウで開きます。このままでも、作業することに問題はないのですが、ウィンドウが増えるため作業しにくいというかたは、Pin Planner のメニューから Window > Attach Window を選択してください。すると、Pin Planner の画面が Quartus Prime の画面に組み込まれます。



## プロジェクトの実行手順

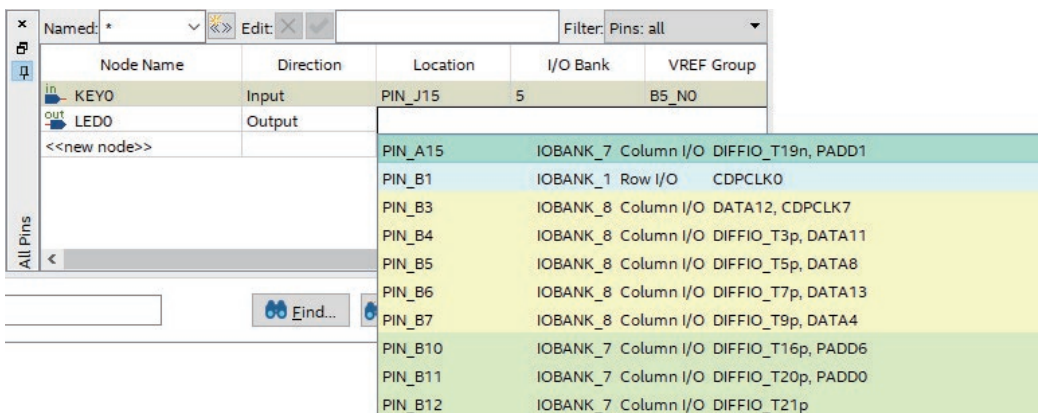
- 3 それでは、実際にピン配置をしていきます。Pin Planner の画面の下部に All pins リストがあります。この項目内にポート宣言した信号 (KEY0 と LED0) が表示されているはずですが。

1 それぞれのポートの Location 欄にピン番号を指定します。



DEO-Nano ボードのピンアサイン (P.6 もしくは P.25) を見ると、KEY0 は PIN\_J15、LED0 は PIN\_A15 につながっています。

Location 設定は、クリックして表示されるプルダウンメニューから選択することもできますが、キーボード入力もできます。キー入力するときは「PIN\_J15」なら「J15」とタイプするだけで自動で選択されます。KEY0 と LED0 に Location を設定してください。



## Quartus Prime Pin 割り当てのクリア方法

割り当て済みのピンを別の信号に割り当てることはできません。

間違えて割り当ててしまった信号は、ピン番号を再入力するか、クリアしてください。

信号の Location 欄をクリックして選択し Delete キーを押すと登録をクリアすることができます。

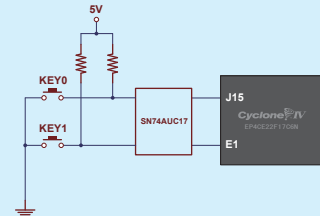
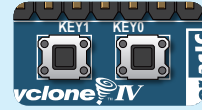
## プロジェクトの実行手順

### プッシュキー ピンアサイン

負論理 (ON : 0、OFF : 1)

信号名	ピン番号	パーツ名
KEY [0]	PIN_J15	プッシュキー [0]
KEY [1]	PIN_E1	プッシュキー [1]

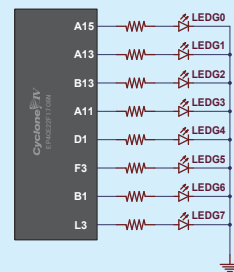
プッシュキーはシュミットトリガ回路を経由し  
チャタリングを起こさないようになっています。



### LED ピンアサイン


正論理 (消灯 : 0、点灯 : 1)

信号名	ピン番号	パーツ名
LED [0]	PIN_A15	LED [0]
LED [1]	PIN_A13	LED [1]
LED [2]	PIN_B13	LED [2]
LED [3]	PIN_A11	LED [3]
LED [4]	PIN_D1	LED [4]
LED [5]	PIN_F3	LED [5]
LED [6]	PIN_B1	LED [6]
LED [7]	PIN_L3	LED [7]

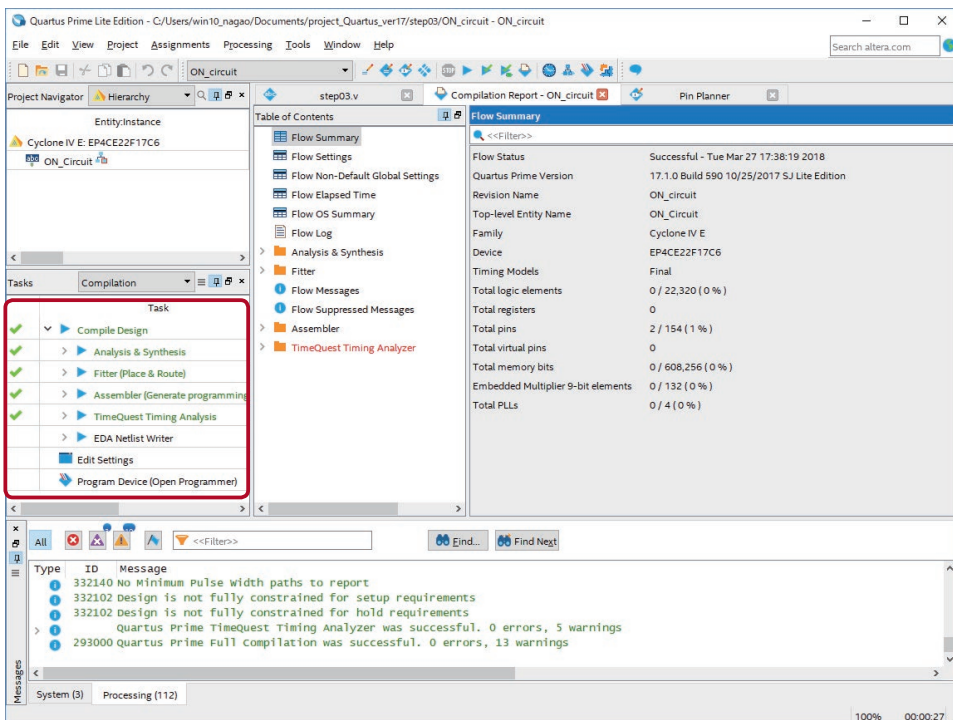


## プロジェクトの実行手順

## 3. コンパイル (コンフィギュレーションファイルの生成)

- 1 Pin Planner によるピン配置が終了したら、最後にコンパイルを行います。
  - ①②のいずれかの方法でコンパイルを開始します。
    - ① Quartus Prime のメニューから Processing > Start Compilation を選択。
    - ② ツールバーの「Start Compilation」ボタン  をクリック。

エラーがなければ Quartus Prime の画面の左下にある「Tasks」に表示されている項目にそれぞれチェックマークが付きます。もし、エラーが表示されるようならエラーメッセージを参照して確認してください。コンパイルが成功するとコンフィギュレーション・ファイル (.sof) が生成されます。



## プロジェクトの実行手順

### コンフィギュレーションとは

コンフィギュレーションとは、FPGA に回路情報を書き込むことをいいます。

コンフィギュレーションなしでFPGA は動作しません。

FPGA に直接コンフィギュレーションすることもできますが、電源が切れると回路は消えてしまいます。

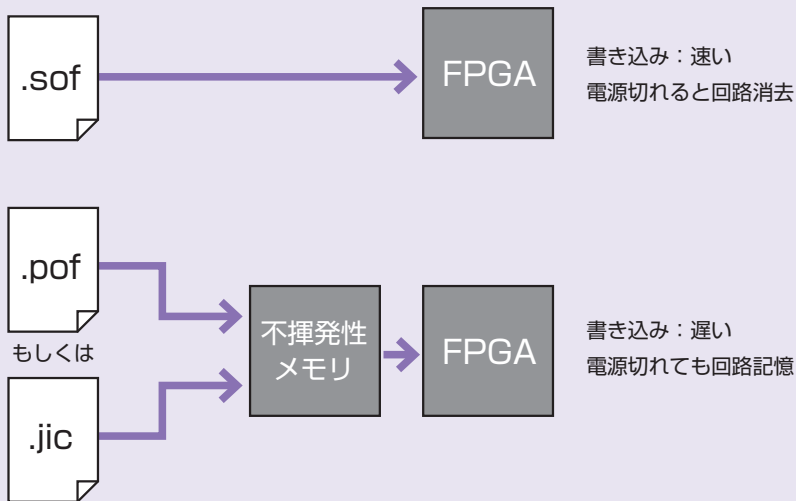
それは、FPGA が揮発性のSRAM プロセスで設計されているからです。そのためFPGA は、電源を切っても回路情報を記憶しておく不揮発性メモリと合わせて利用されます。※

(※不揮発性のプロセスで設計されたFPGA や、FPGA チップ内に不揮発メモリを組み込んだ商品もあります)

Quartus Prime は、コンフィギュレーション用のSRAM オブジェクト・ファイル (.sof) やプログラマ・オブジェクト・ファイル (.pof) 、を生成することができます。

.sof はFPGA に、.pof は不揮発性メモリにコンフィギュレーションファイルを書き込みます。

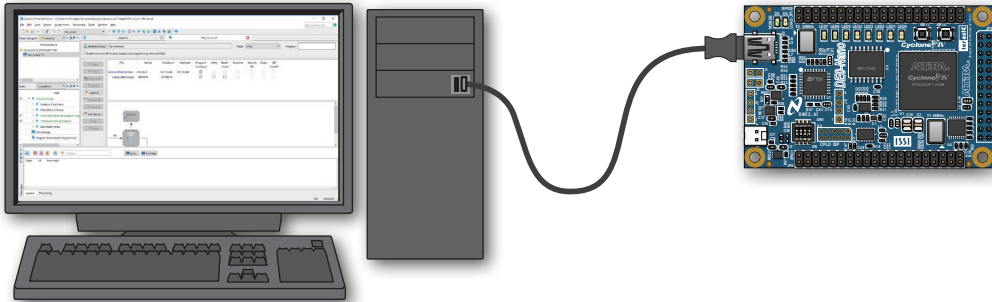
DEO-Nano ボードは .pof の書き込みに対応していないので、JTAG indirect configuration ファイル(.jic) を .sof からコンバートして生成する必要があります。詳しくは P.32



## プロジェクトの実行手順

## 4. コンフィギュレーションファイル転送

- 1 キット付属のUSBケーブルでパソコンと DEO-Nano ボードを接続してください。



- 2 ①②のいずれかの方法で転送ツールを起動します。

- ① Quartus Prime のメニューから Tools > Programmer を選択。

- ② ツールバーの「Programmer」ボタン  をクリック。

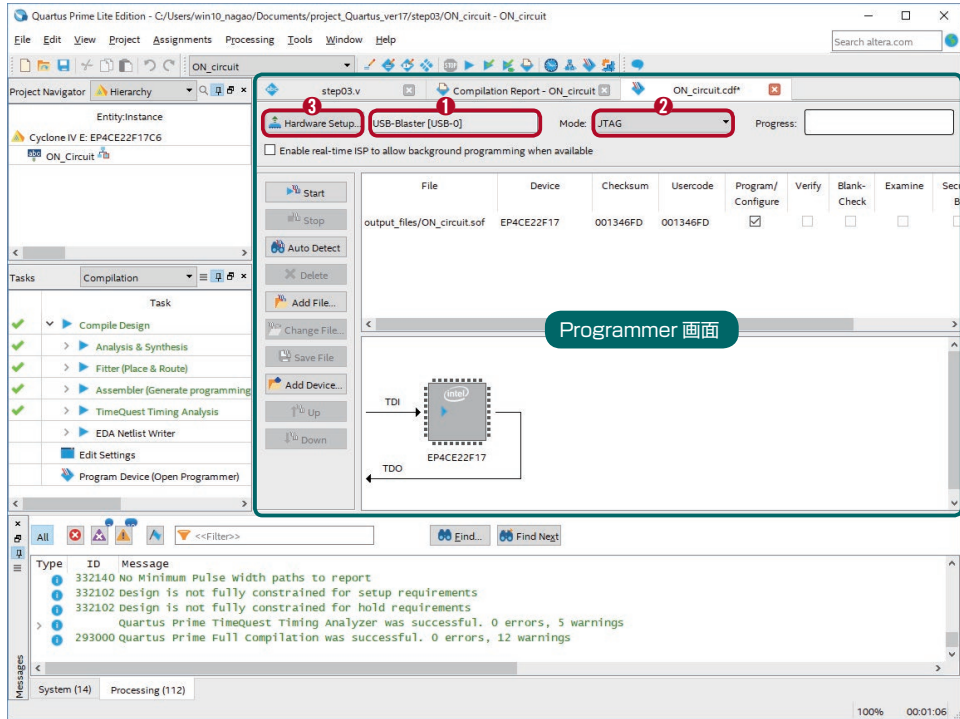
すると新しいウインドウで Programmer が起動します。Pin Planner と同様にして画面を一体化しておくと良いでしょう。

以後、アタッチされた状態で「Programmer」を開くには、Tools > Options を選択、Category で Programmer を選択し、Automatically open as detached window のチェックを外しておきます。

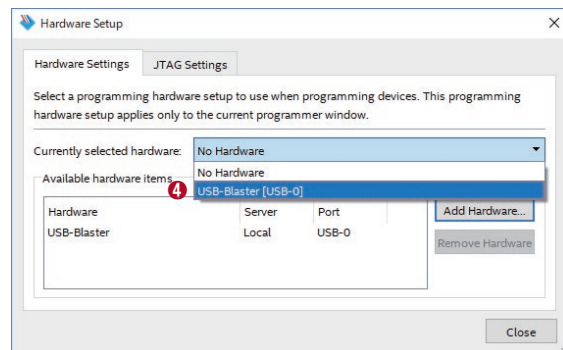


## プロジェクトの実行手順

- 3 以下の手順で進めてください。



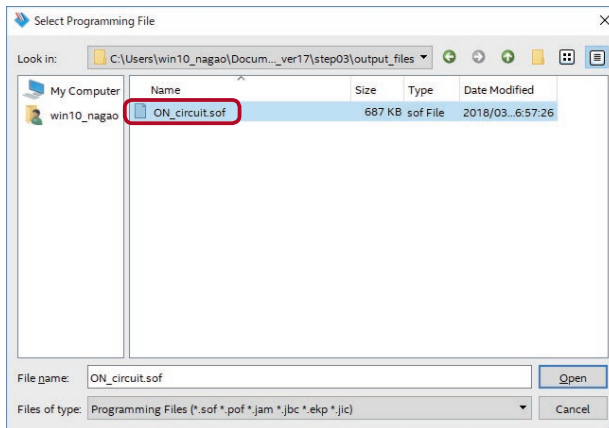
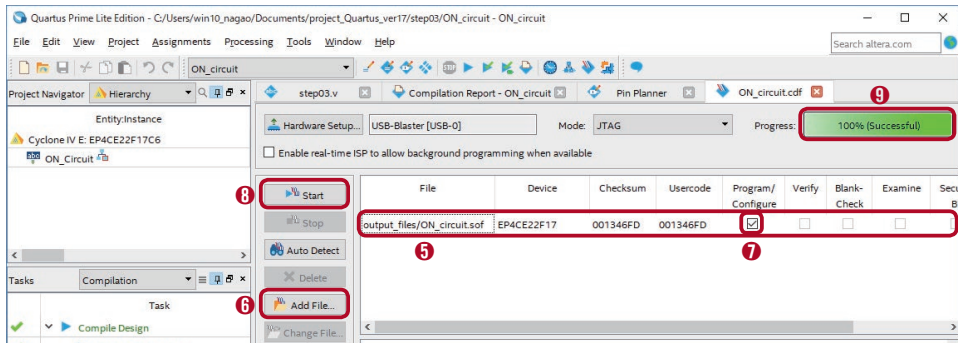
- 1 DEO-Nano を PC に接続した状態で Programmer を起動すると、Programmer 画面の左上にある「Hardware Setup」の右側に「USB-Blaster」が表示されます。
- 2 Mode は「JTAG」を選択。
- 3 もし、表示されない場合は、「Hardware Setup」をクリックします。
- 4 表示されたダイアログの Currently selected hardware のプルダウンメニューから「USB-Blaster」を選択し、「Close」をクリックして閉じます。



プルダウンメニューに「USB-Blaster」が表示されていないようなら、DEO-Nano と PC の接続や別紙「開発環境の構築」の USB ドライバのインストールを確認してください。

## プロジェクトの実行手順

- ⑤ 実際に書き込むファイルを選択。  
デフォルト状態で先ほどコンパイル時に生成された .sof が選択されていると思います。
- ⑥ もし、選択されていないようなら、Add File をクリックして .sof を選択してください。



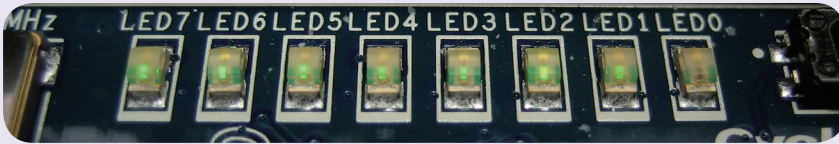
- ⑦ ファイルを選択したら、「Program/Configure」の項目にチェックを入れます。そのほかの項目にはチェックを入れる必要はありません。
- ⑧ チェックを入れたら、「Start」をクリックします。すると、データがFPGAに転送されます。
- ⑨ 「Progress」が100%になると転送が完了し、プログラムが実行されます。

ブッシュキー 0 を押すと LED0 が点灯して、離すと消灯することを確認してみてください。  
本 STEP の一連の流れが、FPGA のプロジェクト実行手順になります。この流れはしっかり覚えてください。

## プロジェクトの実行手順

### Verilog HDL のロジック値

STEP 03 の回路リストを実行すると、LED0 は KEY0 に合わせて点灯 / 消灯しますが、LED1 ~ LED7 はうっすら点灯したままになっています。これは、LED1 ~ LED7 が未配線のため、Z : ハイインピーダンス状態になっているためです。



Verilog HDL では以下の4つのロジック値があります。

0	Low
1	High
X	不定値
Z	ハイインピーダンス

## プロジェクトの実行手順



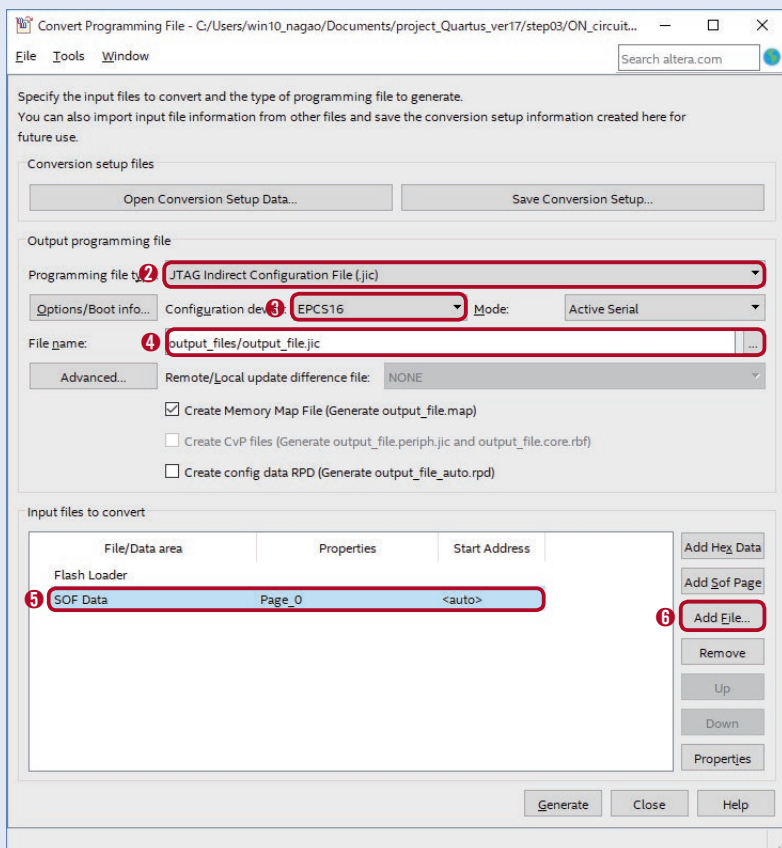
## Quartus Prime .jic の作成方法

.jic ファイルは .sof からコンバートして作成します。ですから事前にプロジェクトをコンパイルして .sof を生成しておいてください。

- 1 Quartus Prime のメニューから File > Convert Programming Files を選択。

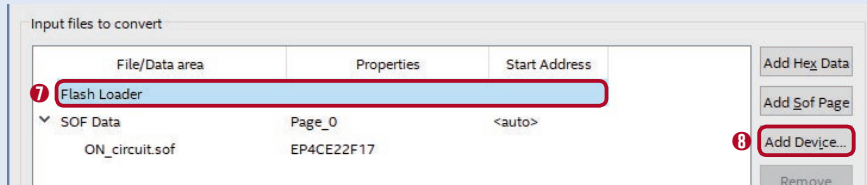
以下は「Convert Programming」ウィンドウ

- 2 Programming file type 欄で JTAG Indirect Configuration File (.jic) を選択。
- 3 Configuration device 欄で EPCS16 を選択。
- 4 File nameuration 欄で任意の書き出しファイル名を記入。(デフォルトの output\_file.jic でもかまいません)
- 5 Input files to convert 欄の SOF Data をクリックしてハイライトさせます。
- 6 Add File をクリックし、「Select Input File」ダイアログで元となる .sof (例: ON\_Circuit.sof) を指定します。

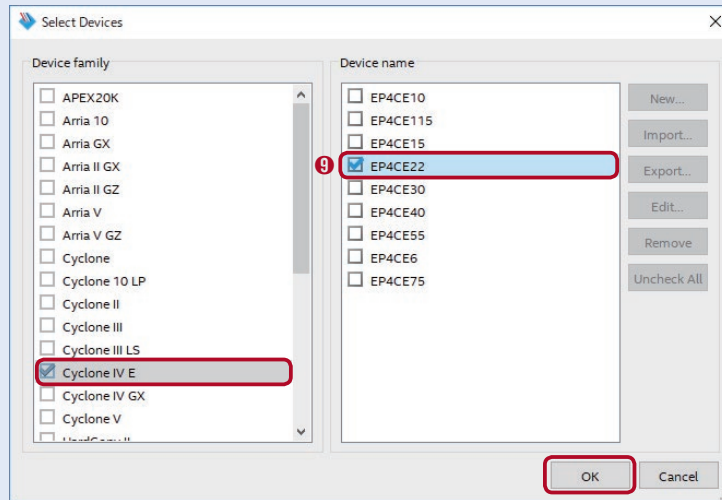


## プロジェクトの実行手順

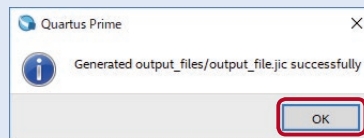
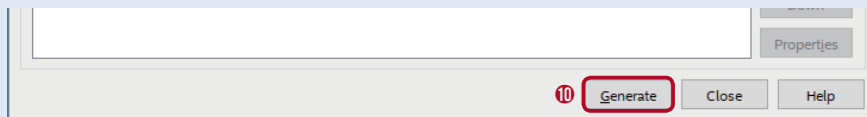
- ⑦ Input files to convert 欄の Flash Loader をクリックしてハイライトさせます。
- ⑧ Add Device をクリックし、



- ⑨ Cyclone IV E の EP4CE22 をチェックして、OK をクリックして閉じます。



- ⑩ Generate をクリックします。



. 以上で sof と同じディレクトリに .jic ファイルが作成されます。


## プロジェクトの実行手順



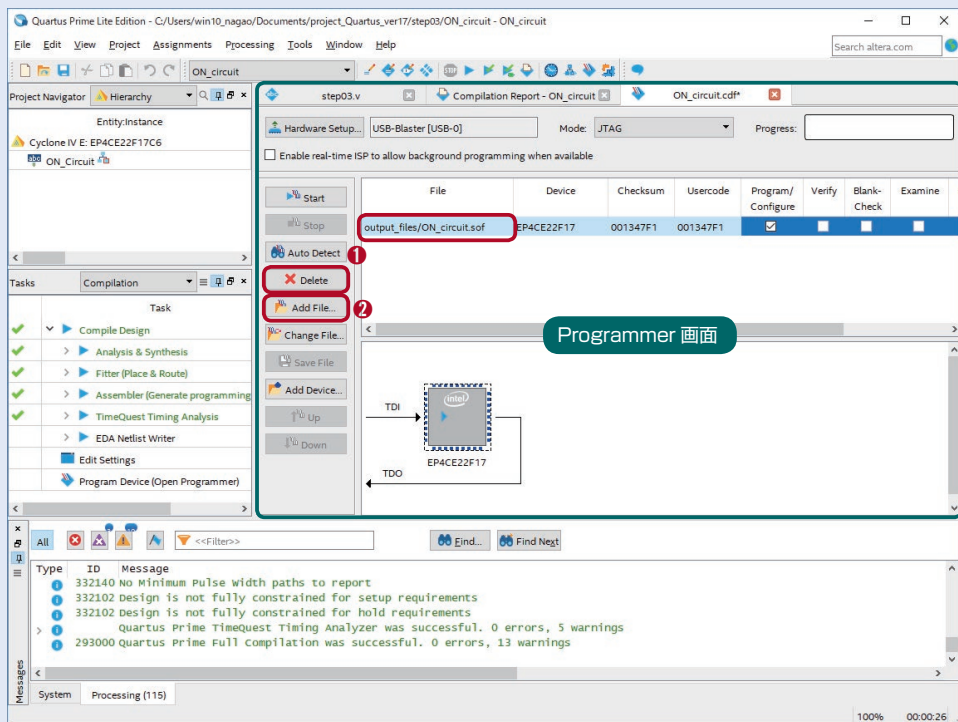
## Quartus Prime .jic の書き込み方法

①②のいずれかの方法で転送ツールを起動します。

① Quartus Prime のメニューから Tools > Programmer を選択。

② ツールバーの「Programmer」ボタン  をクリック。

すると新しいウィンドウで Programmer が起動します。

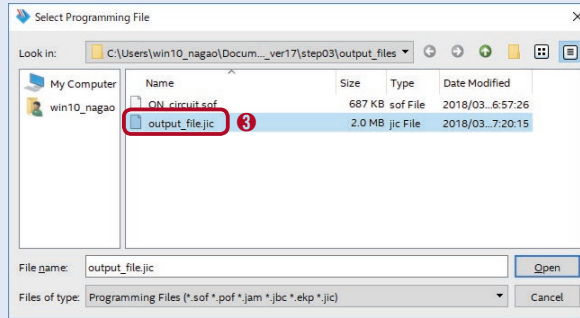


① .sof が残っている場合は、.sof ファイルを選択し Delete ボタンをクリックして削除しておきます。その他の設定は P.29 ~と同じです。

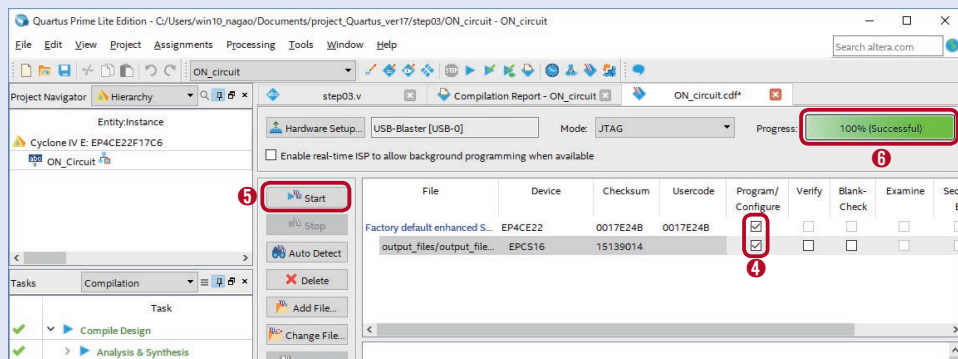
② 実際に書き込むファイルを選択するため「Add File...」をクリックし

③ .jic ファイルを選択してください。

## プロジェクトの実行手順



- ④ ファイルを選択したら、「Program/Configure」の項目にチェックを入れます。そのほかの項目にはチェックを入れる必要はありません。
- ⑤ チェックを入れたら、「Start」をクリックします。すると、.jic ファイルが FPGA に転送されます。EEPROM に転送するため .sof より時間がかかります。
- ⑥ 「Progress」が 100% になると転送が完了です。



.jic プログラムを実行するには、一旦 DEO-Nano ボードの電源を OFF にする必要があります。USB ケーブルを抜き差しするといいでしょ。