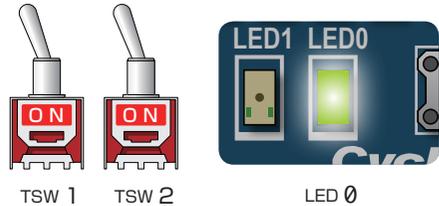
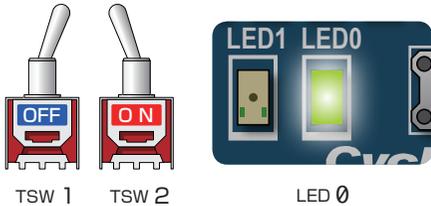
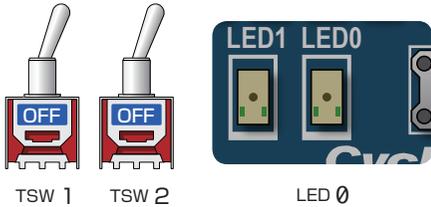


課題 06

OR 回路 - トグルスイッチ 1 または トグルスイッチ 2 のどちらかを ON したとき LED0 点灯



1. プロジェクトの作成

STEP 03 の「プロジェクトの作成」または STEP 05 の「プロジェクトの複製」を参考に新しくプロジェクトを作成してください。

2. OR（論理和）回路とは

OR（論理和）とは、1 つでも入力が 1 なら出力が 1 になり、全ての入力が 0 のときのみ出力が 0 になる演算のことです。

右に示すのが 2 入力 OR 演算の回路となります。入力 A と B を OR 演算して、結果を X へ出力します。デジタル回路設計では基本ゲートと呼ばれる基本素子の一種です。

右に 2 入力の場合の OR 演算の真理値表を示します。入力 A と入力 B の値を加算した結果が出力 X になります。

OR 演算の回路記号



OR 演算の真理値表

入力 A	入力 B	出力 X
0	0	0
0	1	1
1	0	1
1	1	1

OR 回路

3. プログラム（回路）の記述

STEP05 の AND 演算の記述を OR 演算に変更するだけです。

OR 演算子 |

入力信号 1 | 入力信号 2

入力信号 1 と入力信号 2 を OR 演算します。

.v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step06.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

```
1 module OR_Circuit(TSW1, TSW2, LED0);
2
3   input TSW1, TSW2;
4   output LED0;
5
6   assign LED0 = TSW1 | TSW2;
7
8 endmodule
```

これが、課題 06 を実現する Verilog HDL で記述したものです。

トグルスイッチ 1 トグルスイッチ 2 を OR 演算した結果を LED0 に出力する回路です。

OR 回路

4. コンパイル (論理合成)



文法チェック

STEP 03 と同様に Analysis & Synthesis を行い文法チェックを行ってください。



ピン配置 (配置結線)

STEP 03 と同様にピン配置を行ってください。STEP 05 と同じです。

ノード名	ピン番号	パーツ名
LED0	PIN_A15	LED [0]
TSW1	PIN_A6	トグルスイッチ 1
TSW2	PIN_B7	トグルスイッチ 2



コンパイル (コンフィギュレーションファイルの生成)

ピン配置が終わったら、STEP 03 と同様にコンパイルを行ってください。

5. コンフィギュレーションファイル転送



STEP 04 と同様に FPGA に .sof を転送してください。転送したら、動作を確認してみましょう。
トグルスイッチ 1 とトグルスイッチ 2 のどちらかを押すと LED0 が点灯します。

追加課題 06

P.46 の Verilog HDL の演算子を参考に、その他の演算子も試してみましょう。