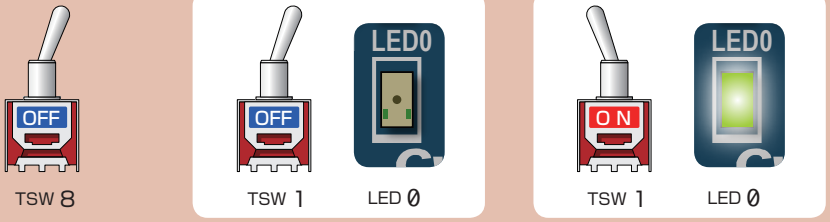
セレクタ回路

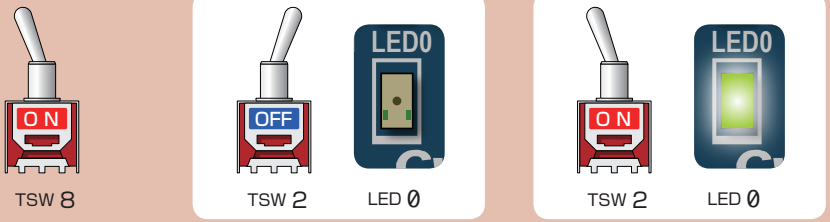
課題 07

セレクタ回路 – TSW8 によって TSW1 か TSW2 の状態を選択して LED に出力

TSW8 が OFF のとき、TSW1 の状態を LED0 に出力.　TSW2 には反応しない



TSW8 が ON のとき、TSW2 の状態を LED0 に出力.　TSW1 には反応しない



1. プロジェクトの作成

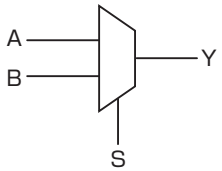
STEP 07 用のプロジェクトを作成してください。

2. セレクタ回路とは

セレクタ回路はマルチプレクサとも呼ばれ、多数の入力から 1 つの入力を選択して出力する回路です。

右に入力 A と B、選択用の入力 S と出力 Y からなるセレクタ回路を示します。選択信号 S が 0 なら入力 A を Y に出力する。選択信号 S が 1 なら入力 B を Y に出力します。

セレクタの回路記号



セレクタ回路

2入力セレクタは以下のような真理値表で表されます。右は同じ内容をカルノー図で表したものです。

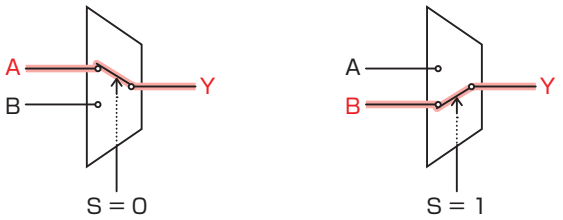
2入力セレクタの真理値表

入力A	入力B	入力S	出力Y
0	0	0	0（A）
0	1	0	0（A）
1	0	0	1（A）
1	1	0	1（A）
0	0	1	0（B）
0	1	1	1（B）
1	0	1	0（B）
1	1	1	1（B）

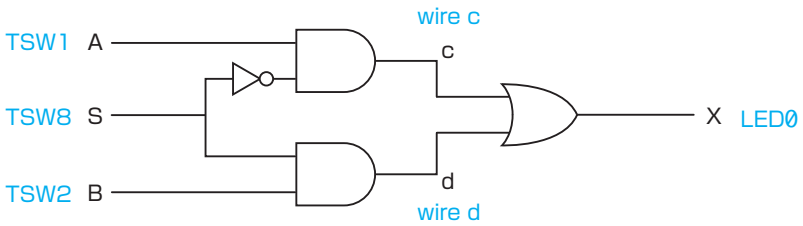
2入力セレクタのカルノー図

		選択入力S	
		0	1
入力AB	00	0（A）	0（B）
	01	0（A）	1（B）
	10	1（A）	0（B）
	11	1（A）	1（B）
		出力Y	

セレクタ回路は以下の図のように、選択信号Sによって切り替わるスイッチをイメージするとよいでしょう。



2入力セレクタ回路は、以下のようなAND、OR、NOTの論理ゲートを組合せて実現されます。



課題 07-1

上記の論理ゲート回路をVerilogHDLで記述し、2入力セレクタになっていることを確認しましょう。

3. プログラム（回路）の記述　課題 07-1

.v ファイルに上記の回路図を実現するプログラムを記述していきます。
以下にサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step07-1.v　弊社サイトに解答例ソースをご用意しています。http://www.adwin.com/product/AKE-1104.html

```
1  module Selector_Circuit(TSW1, TSW2, TSW8, LED0);
2
3    input TSW1, TSW2, TSW8;
4    output LED0;
5
6    wire c,d;
7
8    assign c = TSW1 & ~TSW8;
9    assign d = TSW2 & TSW8;
10   assign LED0 = c | d;
11
12 endmodule
```

入出力信号の宣言

内部信号の宣言

回路の記述
P.52 の論理ゲート図がそのまま置き換えられています

4. コンパイル（論理合成）　課題 07-1

文法チェック
Analysis & Synthesis を行い文法チェックを行ってください。

ピン配置（配置結線）
ピン配置を行ってください。トグルスイッチ８を追加して以下のようになります。

ノード名	ピン番号	パーツ名
LED0	PIN_A15	LED [0]
TSW1	PIN_A6	トグルスイッチ 1
TSW2	PIN_B7	トグルスイッチ 2
TSW8	PIN_E7	トグルスイッチ 8

コンパイル（コンフィギュレーションファイルの生成）
ピン配置が終わったら、コンパイルを行ってください。

セレクタ回路

5. コンフィギュレーションファイルの転送 課題 07-1

FPGA に .sof を転送してください。転送したら、動作を確認してみましょう。

6. HDL を活用するには

どうですか？　間違いがなければ、課題 07 の機能を実現できたでしょう。

しかし、機能を実現するのに、論理ゲートを考えて設計するのは大変です。
また、後からプログラム（前ページ verilog.v 8 ～ 10 行）を見てセレクタ回路をイメージするのはとても難しいですね。この設計は HDL を有効に活用したものとはいえません。

論理ゲート回路を意識することなく、機能をプログラムできるように考えられたのが HDL です。
では、HDL を有効に活用した回路の記述法を試してみましょう。

課題 07-2

以下の三項演算子を使って２入力セレクタ回路を作りましょう。

❶ 三項演算子　?

```
条件 ? 処理 1 : 処理 2
```

条件が成り立てば（真なら）処理 1 を実行し、成り立たない（偽なら）処理 2 を実行します。

```
assign LED0 = (TSW8 == 1) ? TSW2 : TSW1;
```

プログラム例では、
TSW8 が 1 なら、TSW2 を LED0 に出力
TSW8 が 1 以外なら、TSW1 を LED0 に出力　となります。

7. プログラム（回路）の記述 課題 07-2

.v ファイルに上記の回路図を実現するプログラムを記述していきます。
以下にサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step07-2.v 弊社サイトに解答例ソースをご用意しています。http://www.adwin.com/product/AKE-1104.html

```
1  module Selector_Circuit(TSW1, TSW2, TSW8, LED0);
2
3    input TSW1, TSW2, TSW8;
4    output LED0;
5
6    assign LED0 = (TSW8 == 1) ? TSW2 : TSW1; ……❶ 三項演算子
7
8  endmodule
```

8. コンパイル（論理合成）とコンフィギュレーションファイルの転送 課題 07-2

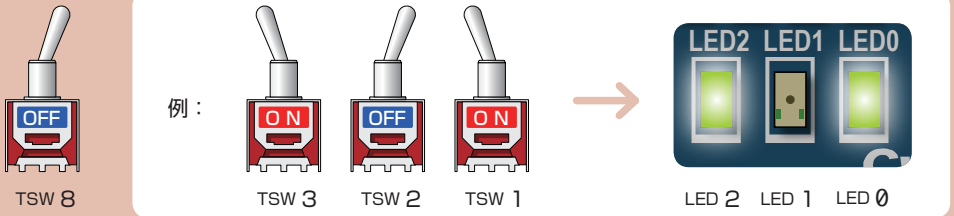
ピン配置は課題 07-1 と同じです。
コンパイルを行い、FPGA に .sof を転送し、動作を確認してみましょう。

セレクタ回路

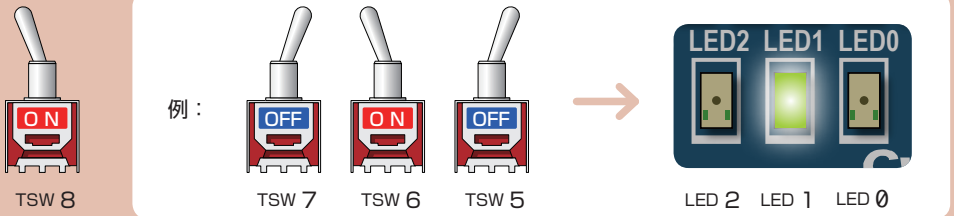
課題 07-3

セレクタ回路 – TSW8 によって TSW1,2,3 か TSW5,6,7 の状態を選択して LED0,1,2 に出力

TSW8 が OFF のとき、TSW1,2,3 の状態を LED0,1,2 に出力．TSW5,6,7 には反応しない



TSW8 が OFF のとき、TSW5,6,7 の状態を LED0,1,2 に出力．TSW1,2,3 には反応しない

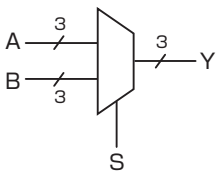


9. ビット幅のあるセレクタ回路

課題 07-1 で作成したセレクタ回路は入力がそれぞれ 1 ビットでした。
今度は入力と出力を 3 ビットに拡張します。

1 ビットの信号線は特に記述しませんが、ビット幅のある信号線は右図のように表現します。
入出力にビット幅を持たせただけで、機能的には 07-1 と変わりません。
選択信号 S が 0 なら入力 A を Y に出力し、選択信号 S が 1 なら入力 B を Y に出力します。

セレクタの回路記号



10. プロジェクトの作成　課題 07-3

STEP 07-3 用のプロジェクトを作成してください。

11. Verilog HDL の文法　課題 07-3

課題 07-3 を実現するのに必要な文法を紹介します。

❶ バス宣言　[:]

```
input  [MSB:LSB] バス名 ;
output [MSB:LSB] バス名 ;
wire   [MSB:LSB] バス名 ;
```

信号線に 2 ビット以上の情報を扱いたい場合、バス宣言を使います。
バス名（信号名）の前にビット幅を指定することで、複数ビットの情報を持たせることが可能になります。
同じビット幅の信号は、パス名をカンマ区切りで続けて宣言できます。宣言順は問いません。

```
input  [2:0] SWA,SWB;
```

プログラム例では、[2:0] としています。これで最上位ビット番号 2 から最下位ビット番号 0 までの 3 ビットの信号を扱えるようになります。

MSB と LSB

MSB（Most Significant Bit）　：　最上位ビット番号
LSB（Least Significant Bit）　：　最下位ビット番号　という意味です。

※ B はビット番号のデータやバイトを表す場合もあります。

セレクタ回路

12. プログラム（回路）の記述 課題 07-3

.v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step07-3.v 弊社サイトに解答例ソースをご用意しています。http://www.adwin.com/product/AKE-1104.html

```
1  module Selector_Circuit_3bit(TSWA, TSWB, TSW8, LED);
2
3    input TSW8;
4    input [2:0] TSWA, TSWB;
5    output [2:0] LED;
6
7    assign LED = (TSW8 == 1) ? TSWB : TSWA;
8
9  endmodule
```

❶ バス宣言

課題 07-1 のセレクタ回路を入力３ビットに拡張したものです。課題 07-1 と似ていますが input や output、wire の宣言部分が違っています。

13. コンパイル（論理合成） 課題 07-3

文法チェック

Analysis & Synthesis を行い文法チェックを行ってください。

ピン配置（配置結線）

ピン配置を行ってください。入力と出力をそれぞれ３ビットのバス宣言を行いました。
このため、ピン配置では３ビットの信号線に１ビットずつピンの指定を行なわなければなりません。

ノード名	ピン番号	パーツ名
LED [2]	PIN_B13	LED [2]
LED [1]	PIN_A13	LED [1]
LED [0]	PIN_A15	LED [0]
TSW8	PIN_E7	トグルスイッチ 8
TSWA [2]	PIN_D6	トグルスイッチ 3
TSWA [1]	PIN_B7	トグルスイッチ 2
TSWA [0]	PIN_A6	トグルスイッチ 1
TSWB [2]	PIN_E6	トグルスイッチ 7
TSWB [1]	PIN_C8	トグルスイッチ 6
TSWB [0]	PIN_C6	トグルスイッチ 5

コンパイル（コンフィギュレーションファイルの生成）

ピン配置が終わったら、コンパイルを行ってください。

14. コンフィギュレーションファイルの転送 課題 07-3

FPGA に .sof を転送してください。転送したら、動作を確認してみましょう。

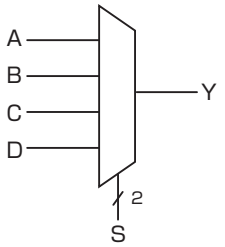
15. 4入力 セレクタ回路

課題 07-1 で作成したセレクタ回路は入力が2つでした。
入力を4つに拡張するとどうなるでしょう。

4入力を選択信号 S で切り替えるには 1 ビットでは足りないので2ビット必要です。

選択信号 S が 00 なら入力 A を Y に出力、
選択信号 S が 01 なら入力 B を Y に出力、
選択信号 S が 10 なら入力 C を Y に出力、
選択信号 S が 11 なら入力 D を Y に出力 します。

セレクタの回路記号

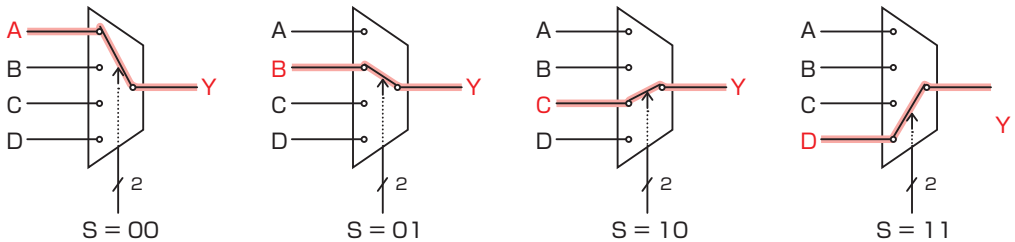


4 入力セレクタの真理値表

入力 A	入力 B	入力 C	入力 D	入力 S	出力 Y
0	–	–	–	00	0 (A)
1	–	–	–	00	1 (A)
–	0	–	–	01	0 (B)
–	1	–	–	01	1 (B)
–	–	0	–	10	0 (C)
–	–	1	–	10	1 (C)
–	–	–	0	11	0 (D)
–	–	–	1	11	1 (D)

出力に影響しない入力は「ー」で省略しています

4 入力セレクタ回路も以下の図のように、選択信号 S によって切り替わるスイッチをイメージするとよいでしょう。



セレクタ回路

課題 07-4

4 入力セレクタ回路を作ってみましょう。選択信号 S 以外は 1 ビットで OK です。

Verilog HDL の数値表現

Verilog HDL では、定数は以下の形式で表します。

［ビット幅］’［基数］［数値］

［ビット幅］・・・・定数のビット幅を表現する 10 進数です。
省略すると 32 ビットとして扱われます。

［　基数　］・・・・何進数かを表します。以下の４種類があり、大文字でもかまいません。
b：2進数
o：8進数
d：10 進数
h：16 進数
省略すると 10 進数として扱われます。

［　数値　］・・・・定数の値を示します。基数に応じた数値が扱えます。（2 進数なら 0 と 1 のみ）
区切りのために　_（アンダーバー）　が使えます。
8進数：0 ～ 7、x、z
16 進数：0 ～ f、x、z
10 進数：0 ～ 9（x、z は使用不可）
2進数：0、1、x、z

数値表現例

数値定数	ビット幅	基数	2進数表現
0	32	10 進数	000...000000000
1	32	10 進数	111...111111111
1'b1	1	2進数	1
2'b01	2	2進数	01
4'b1010	4	2進数	1010
4'bz	4	2進数	zzzz
8'hff	8	16 進数	11111111
'hff	32	16 進数	000...011111111
8'b0000_11xx	8	2進数	000011xx