

課題 10-1

4ビットカウンタを作成してください。
クロック信号 50MHz をカウントアップして LED に結果を出力させます。

1. カウンタ回路とは

カウンタ回路とは、入力されたパルス数を出力する回路です。今回は4ビットのカウンタ(0000~1111)を作成してクロックのパルス数をカウントします。

2. プロジェクトの作成

課題 10-1

STEP 10-1 用のプロジェクトを作成してください。

3. プログラム(回路)の記述

課題 10-1

.v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step10-1.v

弊社サイトに解答例ソースをご用意しています。<http://www.adwin.com/product/AKE-1104.html>

```
1 module Counter(CLK, RESET, Q);
2
3   input CLK, RESET;
4   output [3:0]Q;
5   reg [3:0]Q;
6
7   always @(posedge CLK or negedge RESET)
8   begin
9     if(!RESET) Q <= 0;
10    else Q <= Q + 1;
11  end
12
13 endmodule
```

これが、カウンタ回路を Verilog で記述したものです。CLK の立ち上がりで現在の値を+1 します。RESET 信号が入力されると保持している値を 0 にします。

カウンタ回路 システムクロックを数える

4. コンパイル（論理合成）

課題 10-1



文法チェック

Analysis & Synthesis を行い文法チェックを行ってください。



ピン配置（配置結線）

ピン配置を行ってください。ピン配置例は以下のようになります。

ノード名	ピン番号	パーツ名
CLK	PIN_R8	50MHz オシレータ
Q[3]	PIN_A11	LED [3]
Q[2]	PIN_B13	LED [2]
Q[1]	PIN_A13	LED [1]
Q[0]	PIN_A15	LED [0]
RESET	PIN_J15	ブッシュキー [0]



コンパイル（コンフィギュレーションファイルの生成）

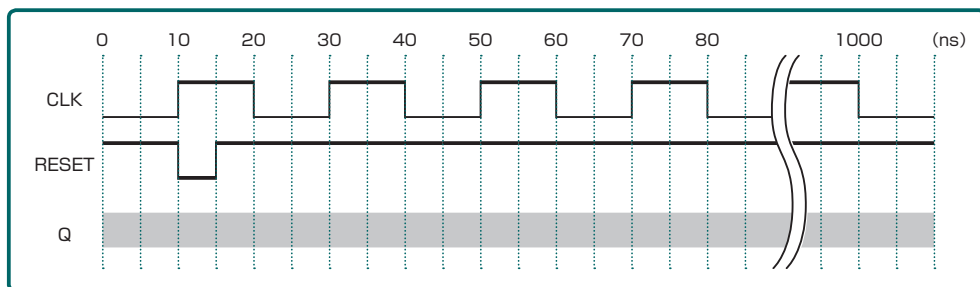
ピン配置が終わったら、コンパイルを行ってください。

5. 回路シミュレーション

課題 10-1

STEP 09 を参考に以下の設定のテストベンチを作成してください。

- ・ End Time（シミュレーション時間）：1us（= 1000ns）
- ・ Time Scale（シミュレーション計算間隔）：1ns
- ・ CLK 信号：50MHz（20ns 周期）のクロック
- ・ RESET 信号：基本 High(1) 信号で、10ns ~ 15ns の間 Low(0) のパルスを出力



この条件のテストベンチを Verilog HDL で記述すると次ページのようになります。

カウンタ回路 システムクロックを数える

TestBench.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

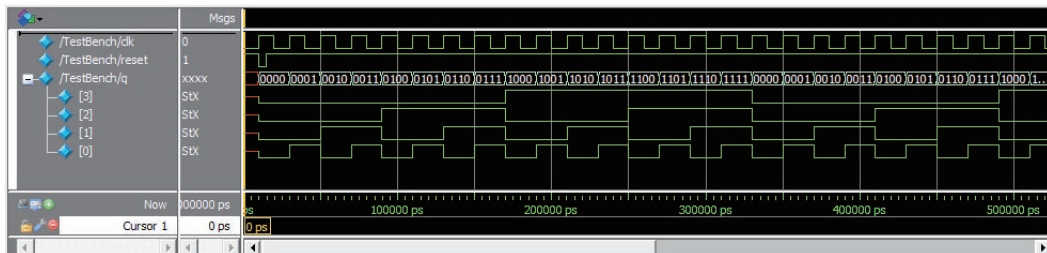
```
1 `timescale 1 ns/ 1 ns
2 module TestBench;
3
4     reg CLK, RESET;
5     wire [3:0] Q;
6
7     Counter Test(.CLK(CLK), .RESET(RESET), .Q(Q));
8
9     always
10        #10 CLK = ~CLK;
11
12     initial
13     begin
14         RESET = 1' b1; CLK = 1' b0;
15         #10 RESET = 1' b0;
16         #5 RESET = 1' b1;
17         #985 $stop;
18     end
19
20 endmodule
```

6. シミュレーションの実行

課題 10-1

設定が終わったら EDA RTL Simulation を実行してください。

実行すると図のような結果が表示されます。シミュレーション結果からわかるように CLK (クロック) の立ち上がりで Q の値が 1 ずつ増えていることがわかります。



カウンタ回路 システムクロックを数える

7. コンフィギュレーションファイルの転送

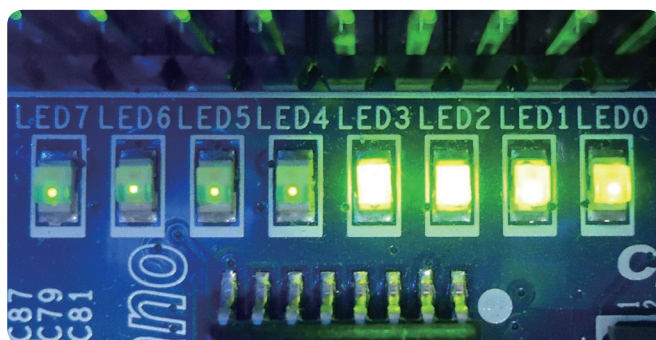
課題 10-1



FPGA に .sof を転送して動作を確認してみましょう。

シミュレーション結果からもわかるように非常に高速な動作をしているので、LED が4つとも点灯しているように見えるはずです。

出力信号を見ると、どのLEDもデューティ比50%の出力なのですが、ON/OFFのサイクルが速いLED0の方が若干暗く見えます。



カウンタ回路 システムクロックを数える

課題 10-2

カウンタを作成してください。
システムクロック 50MHz をカウントして 1Hz クロックに分周する回路を作ってください。
このカウンタを利用して LED を 1 秒周期で点滅させましょう。

8. 分周回路とは

基準クロックから任意の周波数クロックを生成する回路です。先のステップで学習したカウンタ回路を利用して基準クロック (50MHz) のパルス数をカウントし、規定の数になったときパルスを出力する回路を作成していきます。このステップでは 50MHz から 1Hz のクロックを生成する回路を設計します。

9. プロジェクトの作成

課題 10-2

STEP 10-2 用のプロジェクトを作成してください。

10. プログラム (回路) の記述

課題 10-2

.v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step10-2.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

```
1 module Divide_Clock(CLK, RESET, LED0);
2
3   input CLK, RESET;
4   output LED0;
5
6   reg LED0 = 0;
7   reg [25:0]temp_count = 0;
8
9   always @(posedge CLK or negedge RESET)
10  begin
11    if (!RESET) temp_count <= 0;
12    else if (temp_count == 49999999) temp_count <= 0;
13    else temp_count <= temp_count + 1;
14  end
15
16  assign enable = (temp_count == 0) ? 1 : 0;
17
```

カウンタ回路 システムクロックを数える

```

18  always @(posedge CLK or negedge RESET)
19  begin
20      if (!RESET) LED0 <= 0;
21      else if (enable == 1) LED0 <= ~LED0;
22  end
23
24  endmodule
    
```

上記のリストが、1Hzのクロックを生成する分周回路の例です。

基準クロックは50MHzですので1秒間に50,000,000個のパルスが生成されています。50,000,000個パルスをカウントすると1秒を測ることができます。先に設計したカウンタ回路を利用することで分周回路を設計できます。

先に設計した回路に50,000,000回カウントアップしたとき、つまりカウンタの値が49,999,999になったときに値を0にリセットするように回路を設計します。すると、50,000,000のカウントアップ=1Hzごとにtemp_countの値が0になることになります。

あとは、temp_countが0のときにLED0を反転するように設計すればいいのです。

10進数の50,000,000を2進数で表すと10111110101111000010000000です。
2進数で26桁あるのでtemp_countは26ビット幅にしています。

11. コンパイル（論理合成）

課題 10-2



文法チェック

Analysis & Synthesis を行い文法チェックを行ってください。



ピン配置（配置結線）

ピン配置を行ってください。ピン配置例は以下のようになります。

ノード名	ピン番号	パーツ名
CLK	PIN_R8	50MHz オシレータ
LED0	PIN_A15	LED [0]
RESET	PIN_J15	プッシュキー [0]



コンパイル（コンフィギュレーションファイルの生成）

ピン配置が終わったら、コンパイルを行ってください。

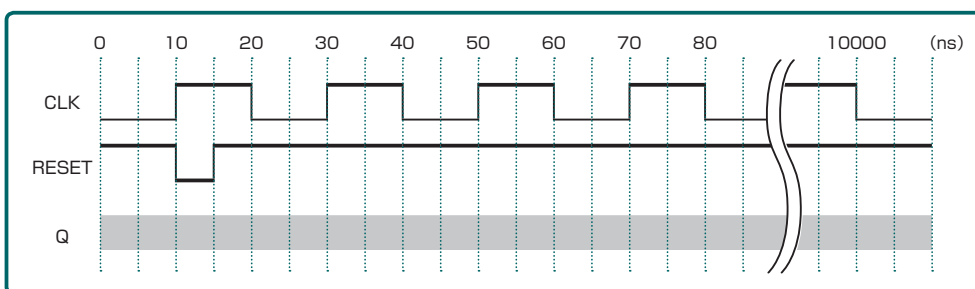
カウンタ回路 システムクロックを数える

12. 回路シミュレーション

課題 10-2

以下の設定のテストベンチを作成してください。

- ・ End Time (シミュレーション時間) : 10us (= 10000ns)
- ・ Time Scale (シミュレーション計算間隔) : 1ns
- ・ CLK 信号 : 50MHz (20ns 周期) のクロック
- ・ RESET 信号 : 基本 High(1) 信号で、10ns ~ 15ns の間 Low(0) のパルスを出力



この条件のテストベンチを Verilog HDL で記述すると以下のようになります。

TestBench.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

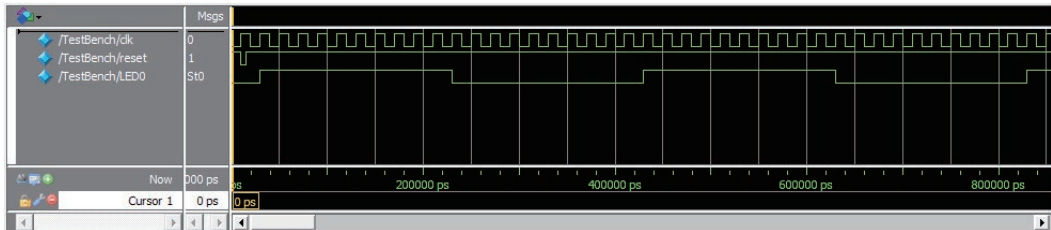
```
1 `timescale 1 ns/ 1 ns
2 module TestBench;
3
4     reg CLK, RESET;
5     wire LED0;
6
7     Divide_Clock Test(.CLK(CLK), .RESET(RESET), .LED0(LED0));
8
9     always
10         #10 CLK = ~CLK;
11
12     initial
13     begin
14         RESET = 1' b1; CLK = 1' b0;
15         #10 RESET = 1' b0;
16         #5  RESET = 1' b1;
17         #9985 $stop;
18     end
19
20 endmodule
```

カウンタ回路 システムクロックを数える

13. シミュレーションの実行

課題 10-2

step10-2.v プログラムのままでは点滅周期が長すぎてシミュレーションで確認するには不適です。
temp_count == 49999999 の値を小さく設定すればシミュレーションすることができます。
設定が終わったら EDA RTL Simulation を実行してください。
以下の例は temp_count == 9 とし、10 クロックで LED が反転する様子です。



14. コンフィギュレーションファイルの転送

課題 10-2



FPGA に .sof を転送して動作を確認してみましょう。

LED0 が 1 秒毎に点滅します。オシロスコープがある方は LED の波形を計測してみると、点灯 / 消灯している時間が 1 秒間隔であることがわかれると思います。

課題 10-3

1 秒毎にカウントアップしていき 0 ~ 9 までカウントする回路を設計します。10 進カウンタ出力は LED に 2 進数の形で表示させます (0000 ~ 1001)。
課題 10-1、課題 10-2 で設計した回路を組合せることで実現することができます。

15. プロジェクトの作成

課題 10-3

STEP 10-3 用のプロジェクトを作成してください。

カウンタ回路 システムクロックを数える

16. プログラム (回路) の記述

課題 10-3

.v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。
エディタ画面に以下に記すサンプルを記述しましょう。

step10-3.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

```
1 module Decimal_Counter(CLK, RESET, Q);
2
3   input CLK, RESET;
4   output [3:0]Q;
5
6   reg [3:0]Q = 0;
7   reg [25:0]temp_count = 0;
8
9   always @(posedge CLK or negedge RESET)
10  begin
11     if (!RESET) temp_count <= 0;
12     else if (temp_count == 49999999) temp_count <= 0;
13     else temp_count <= temp_count + 1;
14  end
15
16  assign inc = (temp_count == 0) ? 1 : 0;
17
18  always @(posedge CLK or negedge RESET)
19  begin
20     if (!RESET) Q <= 0;
21     else if (inc)
22     begin
23         if (Q == 9) Q = 0;
24         else Q <= Q + 1;
25     end
26  end
27
28 endmodule
```

上記のリストが、10進数カウンタ回路の例です。基本的には課題 10-1 と課題 10-2 の回路を組合せたものになっています。前段の always 文が分周回路になります。後段の always 文が 10 進数カウンタになります。

課題 10-2 と同様にして 1Hz の inc 信号を生成します。後段のカウンタ回路は inc 信号があるときだけカウントアップするように設計しています。これにより、1 秒毎にカウントアップします。カウンタ回路は保持している値が 9 のときにカウントアップが発生した場合は値が 0 になるように設計しています。

カウンタ回路 システムクロックを数える

17. コンパイル (論理合成)

課題 10-3



文法チェック

Analysis & Synthesis を行い文法チェックを行ってください。



ピン配置 (配置結線)

ピン配置を行ってください。ピン配置例は以下のようになります。

ノード名	ピン番号	パーツ名
CLK	PIN_R8	50MHz オシレータ
Q[3]	PIN_A11	LED [3]
Q[2]	PIN_B13	LED [2]
Q[1]	PIN_A13	LED [1]
Q[0]	PIN_A15	LED [0]
RESET	PIN_J15	ブッシュキー [0]



コンパイル (コンフィギュレーションファイルの生成)

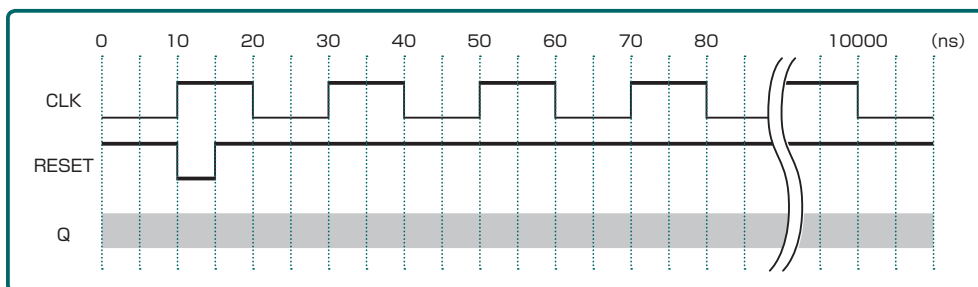
ピン配置が終わったら、コンパイルを行ってください。

18. 回路シミュレーション

課題 10-3

以下の設定のテストベンチを作成してください。

- ・ End Time (シミュレーション時間) : 10us (= 10000ns)
- ・ Time Scale (シミュレーション計算間隔) : 1ns
- ・ CLK 信号 : 50MHz (20ns 周期) のクロック
- ・ RESET 信号 : 基本 High(1) 信号で、10ns ~ 15ns の間 Low(0) のパルスを出力



この条件のテストベンチを Verilog HDL で記述すると次ページようになります。

カウンタ回路 システムクロックを数える

TestBench.v

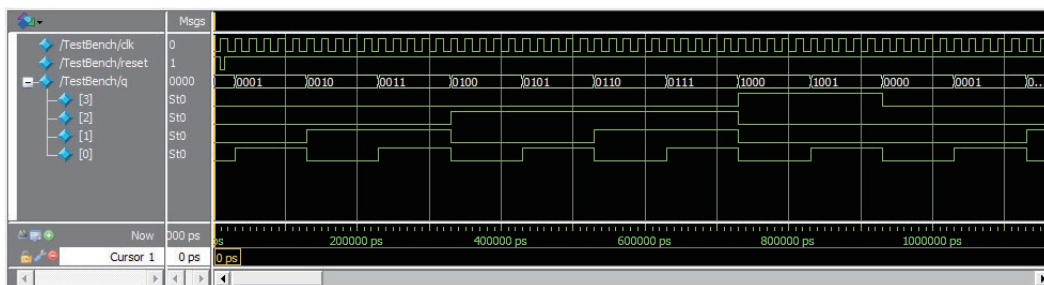
弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

```
1 `timescale 1 ns/ 1 ns
2 module TestBench;
3
4     reg CLK, RESET;
5     wire [3:0] Q;
6
7     DecimaL_Counter Test(.CLK(CLK), .RESET(RESET), .Q(Q));
8
9     always
10        #10 CLK = ~CLK;
11
12     initial
13     begin
14         RESET = 1' b1; CLK = 1' b0;
15         #10 RESET = 1' b0;
16         #5 RESET = 1' b1;
17         #9985 $stop;
18     end
19
20 endmodule
```

19. 回路シミュレーション

課題 10-3

step10-3.v プログラムのままでは周期が長すぎてシミュレーションで確認するには不適です。
`temp_count == 49999999` の値を小さく設定すればシミュレーションすることができます。
設定が終わったら EDA RTL Simulation を実行してください。
以下の例は `temp_count == 4` とし、5 クロックで Q の値が 1 ずつ増えている様子です。
Q が 9 (2進数で 1001) の次は 0 になります。



20. コンフィギュレーションファイルの転送

課題 10-3



FPGA に .sof を転送して動作を確認してみましょう。

1 秒毎に LED に表示される値が増加していき、9 (1001) までカウントすると 0 にもどります。