

カウンタ回路 スイッチ入力を数える

課題 11-1

4ビットカウンタを作成してください。
トグルスイッチ入力をカウントアップして LED に結果を出力させます。

1. プロジェクトの作成

課題 11-1

STEP 11-1 用のプロジェクトを作成してください。

2. プログラム（回路）の記述

課題 11-1

.v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step11-1.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

```
1 module SW_Counter(RESET, TSW, Q);
2
3   input RESET, TSW;
4   output [3:0]Q;
5
6   reg [3:0]Q;
7
8   always @(posedge TSW or negedge RESET)
9   begin
10    if (!RESET) Q <= 0;
11    else if (Q == 9) Q <= 0;
12    else Q <= Q + 1;
13  end
14
15 endmodule
```

課題 10-1 で設計した 10 進数カウンタ回路を、CLK に代わってトグルスイッチの入力で動作するようにしたものです。

カウンタ回路 スイッチ入力を数える

3. コンパイル (論理合成)

課題 11-1



文法チェック

Analysis & Synthesis を行い文法チェックを行ってください。



ピン配置 (配置結線)

ピン配置を行ってください。ピン配置例は以下のようになります。

ノード名	ピン番号	パーツ名
Q[3]	PIN_A11	LED [3]
Q[2]	PIN_B13	LED [2]
Q[1]	PIN_A13	LED [1]
Q[0]	PIN_A15	LED [0]
RESET	PIN_J15	プッシュキー [0]
TSW	PIN_A6	トグルスイッチ 1



コンパイル (コンフィギュレーションファイルの生成)

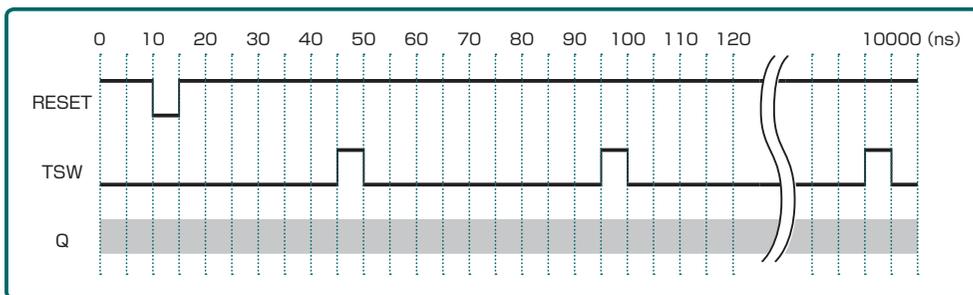
ピン配置が終わったら、コンパイルを行ってください。

4. 回路シミュレーション

課題 11-1

以下の設定のテストベンチを作成してください。

- ・ End Time (シミュレーション時間) : 10us (= 10000ns)
- ・ Time Scale (シミュレーション計算間隔) : 1ns
- ・ RESET 信号 : 基本 High(1) 信号で、10ns ~ 15ns の間 Low(0) のパルスを出力
- ・ TSW 信号 : 基本 Low(0) 信号で、50ns 間隔で 5ns の High(1) のパルスを繰り返し出力



この条件のテストベンチを Verilog HDL で記述すると次ページのようになります。

TestBench.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

```

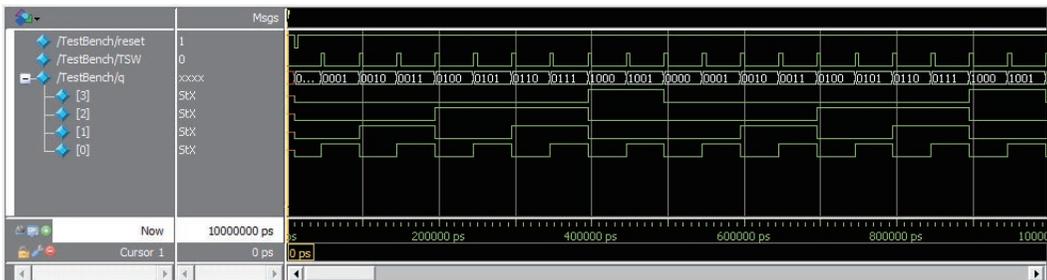
1 `timescale 1 ns/ 1 ns
2 module TestBench;
3
4     reg RESET, TSW;
5     wire [3:0] Q;
6
7     SW_Counter Test(.RESET(RESET), .TSW(TSW), .Q(Q));
8
9     always
10    begin
11        #45 TSW = 1' b1;
12        #5  TSW = 1' b0;
13    end
14
15    initial
16    begin
17        RESET = 1' b1; TSW = 1' b1;
18        #10 RESET = 1' b1;
19        #5  RESET = 1' b0;
20        #9985 $stop;
21    end
22
23 endmodule

```

5. シミュレーションの実行

課題 11-1

設定が終わったらEDA RTL Simulationを実行してください。実行すると以下のような結果が表示されます。
TSW 信号の立ち上がりでカウントアップしているのが確認できます。



カウンタ回路 スイッチ入力を数える

6. コンフィギュレーションファイルの転送

課題 11-1



FPGA に .sof を転送して動作を確認してみましょう。

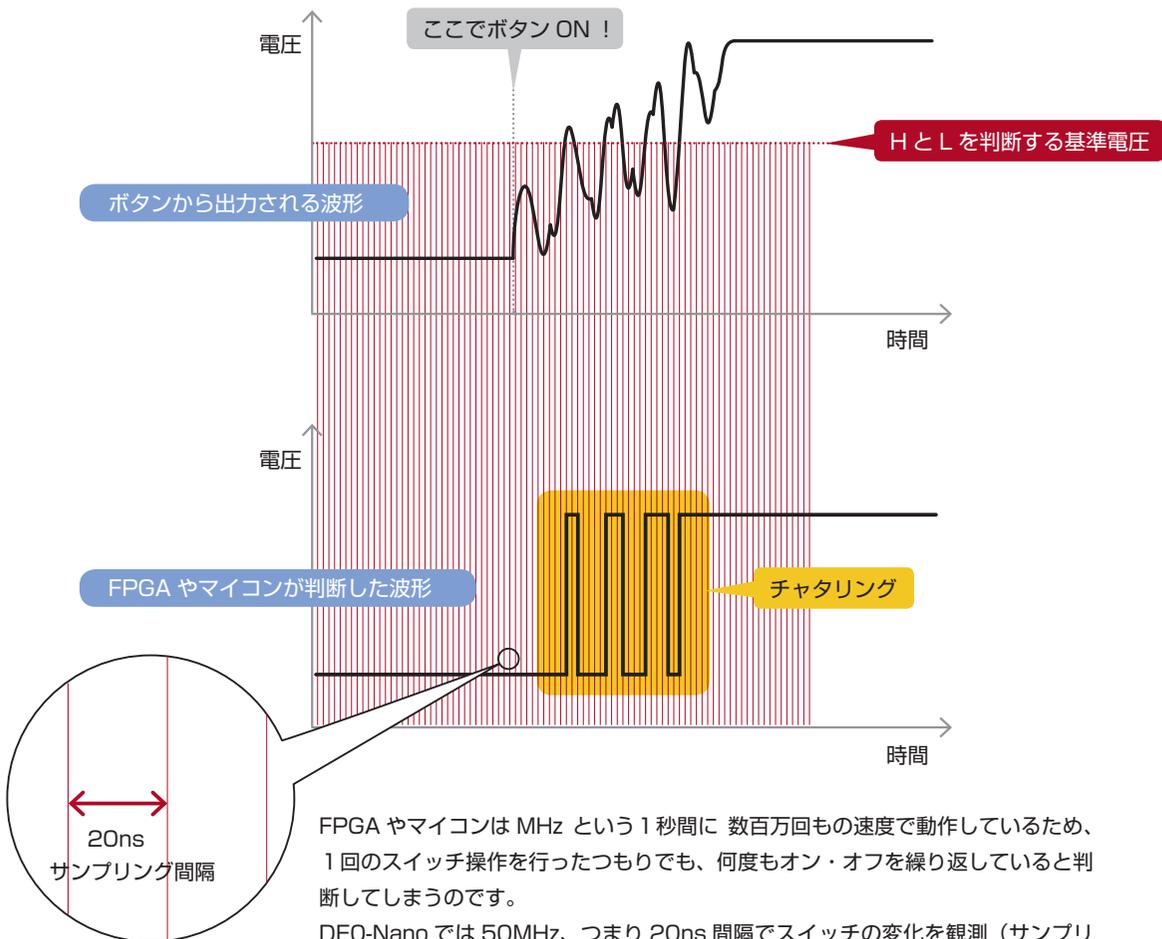
トグルスイッチ 1 を何回か ON/OFF 操作してみましょう。

1 回しか操作しないのに、いくつもカウントアップしてしまうなど、正しく動作していないように見えることがあるはず。シミュレーションでは正しく動作しているのになぜでしょうか。

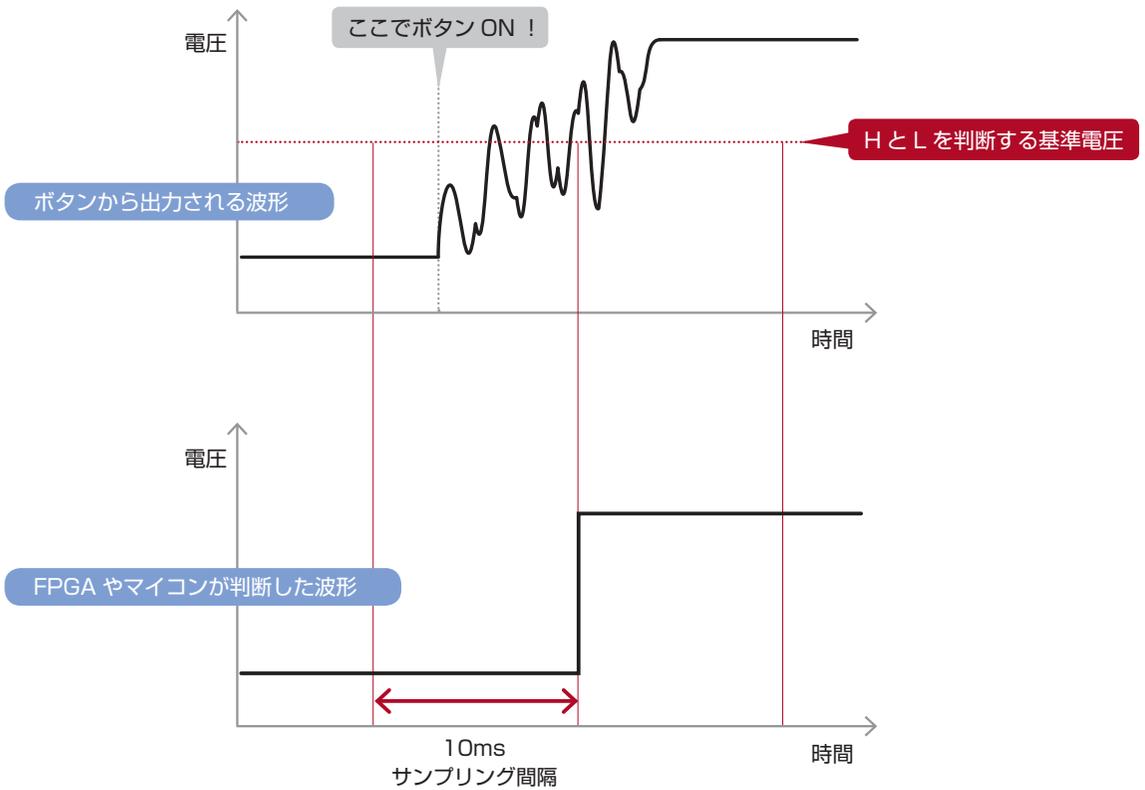
その原因は、スイッチ部品特有の**チャタリング**と呼ばれる現象が関係しています。

7. チャタリング対策

チャタリングとは、ハード的な問題で、スイッチの接点が接触するときに何度かバウンドするため、出力が安定せず、下図のように値がバタついてしまうことです。



カウンタ回路 スイッチ入力を数える



そこでサンプリング間隔を長くしてみます。すると上図のようになり、サンプリング間隔がチャタリング発生時間よりも長ければ、チャタリングを除去することができます。

右表は、接点回路の種類とおよそのチャタリング発生時間です。

種類	チャタリング発生時間
トグルスイッチ	1 ~ 10ms
プッシュスイッチ	1 ~ 5ms
ロータリースイッチ	0.5 ~ 5ms
リレー接点	0.5 ~ 2ms

カウンタ回路 スイッチ入力を数える

課題 11-2

課題 11-1 にチャタリング対策を施してください。
トグルスイッチ入力をカウントアップして LED に結果を出力させます。

8. プロジェクトの作成

課題 11-2

STEP 11-2 用のプロジェクトを作成してください。

9. プログラム (回路) の記述

課題 11-2

.v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step11-2.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

```
1 module SW_Counter(CLK, RESET, TSW, Q);
2
3   input CLK, RESET, TSW;
4   output [3:0]Q;
5
6   reg [3:0] Q = 0;
7   reg [18:0] temp_count = 0;
8   reg out, buffer;
9
10  always @(posedge CLK or negedge RESET)
11  begin
12    if (!RESET) temp_count <= 0;
13    else temp_count <= temp_count + 1;
14  end
15
16  always @(posedge CLK)
17    if(temp_count==0) out <= TSW;
```

クロックの数をカウントし続けます。

上記のクロックカウンタが0になったとき (カウントアップによるオーバーフロー) トグルスイッチ 1 の値を取り込みます。つまり、 $2^{19}=524288$ クロックサイクルごとに1回、入力をフリップフロップにサンプリングすることになります。クロックの周波数が 50MHz (=20ns) なら、約 95Hz (≒ 10ms) のサンプリング間隔となります。チャタリングの期間が 10ms 以下であれば、チャタリングを除去することができます。

カウンタ回路 スイッチ入力を数える

```

18
19 always @(posedge CLK or negedge RESET)
20 begin
21     if (!RESET) buffer <= 0;
22     else buffer <= out;
23 end
24
25 assign inc = out & ~buffer;
26
27 always @(posedge CLK or negedge RESET)
28 begin
29     if (!RESET) Q <= 0;
30     else if (inc == 1)
31     begin
32         if (Q == 9) Q = 0;
33         else Q <= Q + 1;
34     end
35 end
36
37 endmodule

```

チャタリング除去済みの out 信号を記憶しておくフリップフロップ回路です。このフリップフロップで記憶しておいた値とチャタリング除去済みの out 信号を演算することでボタンが押されたときの立ち上がり信号を検出して、inc 信号としています。

10 進数カウンタです。
課題 10-3 と同じものです。

10. コンパイル（論理合成）

課題 11-2



文法チェック

Analysis & Synthesis を行い文法チェックを行ってください。



ピン配置（配置結線）

ピン配置を行ってください。

ピン配置例は課題 11-1 に CLK を追加します。

ノード名	ピン番号	パーツ名
CLK	PIN_R8	50MHz オシレータ



コンパイル（コンフィギュレーションファイルの生成）

ピン配置が終わったら、コンパイルを行ってください。

11. コンフィギュレーションファイルの転送

課題 11-2



FPGA に .sof を転送して動作を確認してみましょう。

トグルスイッチ 1 を何回か操作してみましょう。

今度は TSW1 を操作すると、きちんと 1 だけカウントアップするはずですが、このようにスイッチ入力を扱う場合にはチャタリング除去を行きましょう。



DEO-Nano ボード上のプッシュキーはシュミットトリガ回路を経由し、チャタリングを起こさないようになっています。

カウンタ回路 スイッチ入力を数える

課題 11-3

課題 11-2 のカウンタアップに追加して、トグルスイッチ 2 を操作するとカウントダウンし LED に結果を出力させます。

12. プロジェクトの作成

課題 11-3

STEP 11-3 用のプロジェクトを作成してください。

13. プログラム (回路) の記述

課題 11-3

.v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step11-3.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

```
1 module UpDown_Counter(CLK, RESET, TSW, Q);
2
3   input CLK, RESET;
4   input [1:0] TSW;
5   output [3:0] Q;
6
7   reg [3:0] Q = 0;
8   reg [18:0] temp_count = 0;
9   reg [1:0] out, buffer;
10
11  always @(posedge CLK or negedge RESET)
12  begin
13    if (!RESET) temp_count <= 0;
14    else temp_count <= temp_count + 1;
15  end
16
17  always @(posedge CLK)
18    if(temp_count==0) out <= TSW;
19
20  always @(posedge CLK or negedge RESET)
21  begin
22    if (!RESET) buffer <= 0;
23    else buffer <= out;
24  end
25
26  assign inc = out[0] & ~buffer[0];
27  assign dec = out[1] & ~buffer[1];
```

STEP 11 で設計した回路にカウントダウン機能を追加しています。まず、トグルスイッチの入力が2つになるので TSW、out、buffer、にそれぞれ2ビットの幅を持たせています。

チャタリング除去された信号をもとに、課題 11-2 のときと同様に inc 信号と dec 信号を生成しています。例では TSW[0] をカウントアップボタン、TSW[1] をカウントダウンボタンに対応させています。

カウンタ回路 スイッチ入力を数える

```

28
29  always @(posedge CLK or negedge RESET)
30  begin
31      if (!RESET) Q <= 0;
32      else if (inc == 1)
33          begin
34              if (Q == 9) Q = 0;
35              else Q <= Q + 1;
36          end
37      else if (dec == 1)
38          begin
39              if (Q == 0) Q <= 9;
40              else Q <= Q - 1;
41          end
42  end
43
44  endmodule

```

10進数カウンタ回路部には「dec信号があるときカウントダウンする」ことを追加しています。

14. コンパイル（論理合成）

課題 11-3



文法チェック

Analysis & Synthesis を行い文法チェックを行ってください。



ピン配置（配置結線）

ピン配置を行ってください。ピン配置例は以下のようになります。

ノード名	ピン番号	パーツ名
CLK	PIN_R8	50MHz オシレータ
Q[3]	PIN_A11	LED [3]
Q[2]	PIN_B13	LED [2]
Q[1]	PIN_A13	LED [1]
Q[0]	PIN_A15	LED [0]
RESET	PIN_J15	プッシュキー [0]
TSW[1]	PIN_B7	トグルスイッチ 2
TSW[0]	PIN_A6	トグルスイッチ 1



コンパイル（コンフィギュレーションファイルの生成）

ピン配置が終わったら、コンパイルを行ってください。

15. コンフィギュレーションファイルの転送

課題 11-3



FPGA に .sof を転送して動作を確認してみましょう。

TSW1 を操作するとカウントアップして、TSW2 を操作するとカウントダウンします。