

7セグカウンタ回路

課題 12-1

TSW1、TSW2、TSW3、TSW4 から入力された2進データを7セグメントLEDに10進表示させるデコーダを作成してください。
SLED4に表示することになります。

4つの TSW の値と7セグメント表示の対応は右表のようになります。

TSW4	TSW3	TSW2	TSW1	SLED4
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

1. プロジェクトの作成

課題 12-1

STEP 12-1 用のプロジェクトを作成してください。

2.Verilog HDL の文法

課題 12-1

TSW1、TSW2、TSW3、TSW4 の入力条件から SLED4 の点灯パターンに分岐させるには case 文を使うといいでしょう。

① 条件分岐 case

```
case (信号名)
  信号名の値 : 処理 ;
  信号名の値 : 処理 ;
  ...
  ...
  default: 処理 ;
endcase
```

C 言語の switch 文と同様の条件分岐処理です。分岐条件が多数ある場合に利用します。
case 文はある条件に適合したときの動作を記述することで結果を選択します。
最後の default は他の条件が満たされなかった場合に実行されます。

7 セグカウンタ回路

3. プログラム（回路）の記述

課題 12-1

.v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step12-1.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

```

1 module Decoder_7seg(TSW, SEG);
2
3   input [3:0] TSW;
4   output [7:0] SEG;
5
6   reg [7:0] SEG;
7
8   always @(TSW)
9   begin
10    case(TSW)
11      4'b0000:SEG <= 8'b0001_0000; //0
12      4'b0001:SEG <= 8'b0001_0001; //1
13      4'b0010:SEG <= 8'b0001_0010; //2
14      4'b0011:SEG <= 8'b0001_0011; //3
15      4'b0100:SEG <= 8'b0001_0100; //4
16      4'b0101:SEG <= 8'b0001_0101; //5
17      4'b0110:SEG <= 8'b0001_0110; //6
18      4'b0111:SEG <= 8'b0001_0111; //7
19      4'b1000:SEG <= 8'b0001_1000; //8
20      4'b1001:SEG <= 8'b0001_1001; //9
21      default:SEG <= 8'b0001_1111;
22    endcase
23  end
24
25 endmodule

```

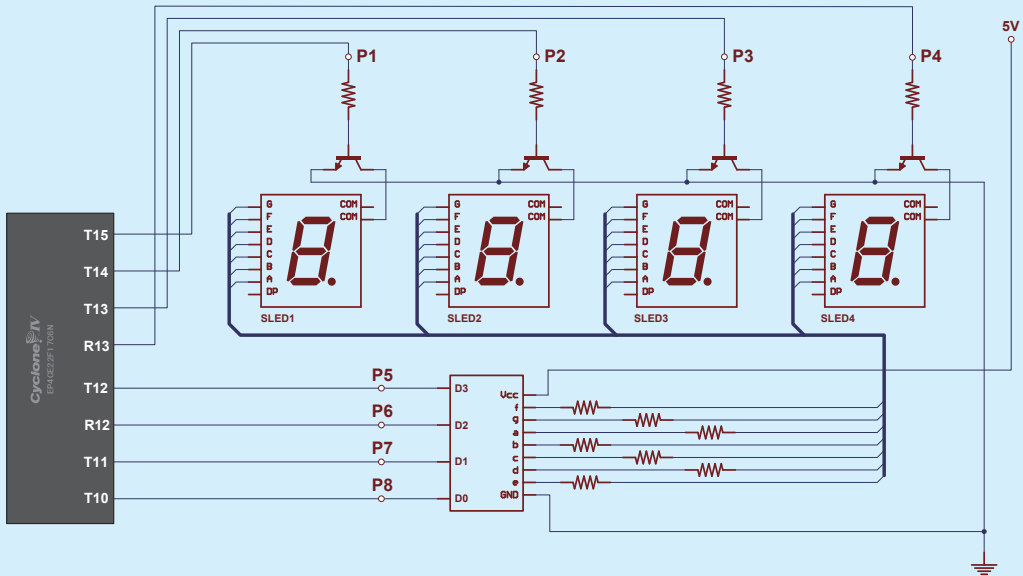
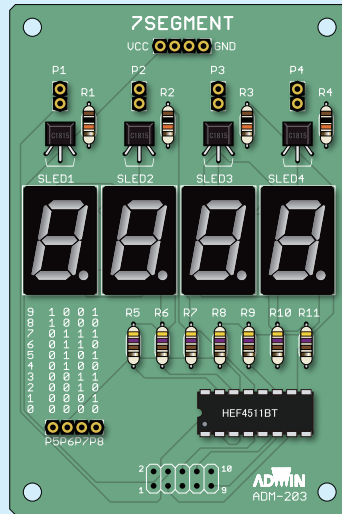
① 条件分岐

7セグLEDはエレモ基板上のデコーダIC(HCF4511)を介して点灯します。デコーダICによって4ビット入力で0～9の10パターンを点灯させることができます。回路リストの中のSEG信号は、上位4ビットをP1, P2, P3, P4に、下位4ビットをP5, P6, P7, P8に対応させています。巻末の「エレモ取扱説明書」参照

7セグカウンタ回路

エレモ 203 7セグメントLED ピンアサイン

信号名	ピン番号
P1	PIN_T15
P2	PIN_T14
P3	PIN_T13
P4	PIN_R13
P5	PIN_T12
P6	PIN_R12
P7	PIN_T11
P8	PIN_T10



7 セグカウンタ回路

4. コンパイル（論理合成）

課題 12-1



文法チェック

Analysis & Synthesis を行い文法チェックを行ってください。



ピン配置（配置結線）

ピン配置を行ってください。ピン配置例は以下のようになります。

ノード名	ピン番号	パーツ名
SEG[7]	PIN_T15	P1 (エレモ 203)
SEG[6]	PIN_T14	P2 (エレモ 203)
SEG[5]	PIN_T13	P3 (エレモ 203)
SEG[4]	PIN_R13	P4 (エレモ 203)
SEG[3]	PIN_T12	P5 (エレモ 203)
SEG[2]	PIN_R12	P6 (エレモ 203)
SEG[1]	PIN_T11	P7 (エレモ 203)
SEG[0]	PIN_T10	P8 (エレモ 203)
TSW[3]	PIN_A7	トグルスイッチ 4
TSW[2]	PIN_D6	トグルスイッチ 3
TSW[1]	PIN_B7	トグルスイッチ 2
TSW[0]	PIN_A6	トグルスイッチ 1



コンパイル（コンフィギュレーションファイルの生成）

ピン配置が終わったら、コンパイルを行ってください。

5. コンフィギュレーションファイルの転送

課題 12-1



FPGA に .sof を転送して動作を確認してみましょう。

TSW1 ~ TSW4 で与えられるバイナリ値に対応した数字を 7 セグ LED に表示します。

TSW と数字の関係は P.100 の表のようになります。

7 セグカウンタ回路

課題 12-2

TSW1 を操作すると7セグメント SLED4 がカウントアップ。TSW2 を操作するとカウントダウン。KEY0 を押すとリセットし0表示するようにしましょう。
STEP 11 で設計したカウンタ回路に課題 12-1 デコーダ回路を追加するといいでしょ。

6. プロジェクトの作成

課題 12-2

STEP 12-2 用のプロジェクトを作成してください。

7. プログラム (回路) の記述

課題 12-2

.v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。

step12-2.v

弊社サイトに解答例ソースをご用意しています。 <http://www.adwin.com/product/AKE-1104.html>

```
1 module Counter_7seg(CLK, RESET, TSW, SEG);
2
3   input CLK, RESET;
4   input [1:0] TSW;
5   output [7:0] SEG;
6
7   reg [3:0] Q = 0;
8   reg [18:0] temp_count = 0;
9   reg [1:0] out, buffer;
10  reg [7:0] SEG;
11
12  always @(posedge CLK or negedge RESET)
13  begin
14    if (!RESET) temp_count <= 0;
15    else temp_count <= temp_count + 1;
16  end
17
18  always @(posedge CLK)
19    if(temp_count==0) out <= TSW;
20
21  always @(posedge CLK or negedge RESET)
22  begin
23    if (!RESET) buffer <= 0;
24    else buffer <= out;
25  end
26
```

7 セグカウンタ回路

```

27 assign inc = out[0] & ~buffer[0];
28 assign dec = out[1] & ~buffer[1];
29
30 always @(posedge CLK or negedge RESET)
31 begin
32     if (!RESET) Q <= 0;
33     else if (inc == 1)
34     begin
35         if (Q == 9) Q = 0;
36         else Q <= Q + 1;
37     end
38     else if (dec == 1)
39     begin
40         if (Q == 0) Q <= 9;
41         else Q <= Q - 1;
42     end
43 end
44
45 always @(Q)
46 begin
47     case(Q)
48         4'b0000:SEG <= 8'b0001_0000; //0
49         4'b0001:SEG <= 8'b0001_0001; //1
50         4'b0010:SEG <= 8'b0001_0010; //2
51         4'b0011:SEG <= 8'b0001_0011; //3
52         4'b0100:SEG <= 8'b0001_0100; //4
53         4'b0101:SEG <= 8'b0001_0101; //5
54         4'b0110:SEG <= 8'b0001_0110; //6
55         4'b0111:SEG <= 8'b0001_0111; //7
56         4'b1000:SEG <= 8'b0001_1000; //8
57         4'b1001:SEG <= 8'b0001_1001; //9
58         default:SEG <= 8'b0001_1111;
59     endcase
60 end
61
62 endmodule

```

STEP 11 で設計したカウンタ回路に課題 12-1 デコーダ回路を追加したものです。デコーダ回路の追加により、出力ポートの宣言を一部変更しています。

カウンタ回路から出力された値 Q によって 7 セグ LED への出力パターンを変更する回路となっています。

7 セグカウンタ回路

8. コンパイル (論理合成)

課題 12-2



文法チェック

Analysis & Synthesis を行い文法チェックを行ってください。



ピン配置 (配置結線)

ピン配置を行ってください。ピン配置例は以下のようになります。

ノード名	ピン番号	パーツ名
CLK	PIN_R8	50MHz オシレータ
RESET	PIN_J15	ブッシュキー [0]
SEG[7]	PIN_T15	P1 (エレモ 203)
SEG[6]	PIN_T14	P2 (エレモ 203)
SEG[5]	PIN_T13	P3 (エレモ 203)
SEG[4]	PIN_R13	P4 (エレモ 203)
SEG[3]	PIN_T12	P5 (エレモ 203)
SEG[2]	PIN_R12	P6 (エレモ 203)
SEG[1]	PIN_T11	P7 (エレモ 203)
SEG[0]	PIN_T10	P8 (エレモ 203)
TSW[1]	PIN_B7	トグルスイッチ 2
TSW[0]	PIN_A6	トグルスイッチ 1



コンパイル (コンフィギュレーションファイルの生成)

ピン配置が終わったら、コンパイルを行ってください。

9. コンフィギュレーションファイルの転送

課題 12-2



FPGA に .sof を転送して動作を確認してみましょう。

TSW1 を操作するとカウントアップして、TSW2 を操作するとカウントダウンします。

今回は 7 セグ LED に数字が表示されます。