

正誤表

キットで学ぶ! シリーズ No.06 FPGA チャレンジャー入門編 XILINX Spartan 3E 版

ページ	誤	正
P12	最下行 ↓ 次のページへ	次のページへは続きません。 ISE のインストールは⑧で完了です。
P22	最下タイトル番号 <u>2. Digilent Adept による通信確認</u>	<u>3. Digilent Adept による通信確認</u> また、この通信確認は「PC モード」で行なってください。
P41	「PROM へのコンフィギュレーションファイル転送」 囲み内 5 行目 「Browse...」から同様に「.ucf」を選択します。	「Browse...」から同様に「.bit」を選択します。
P52	最下行 宣言文にはアーキテクチャ内部使用する信号 など宣言します。^	宣言文にはアーキテクチャ内部で使用する 信号など宣言します。 <u>P.63 「シグナル文」参照</u>
P54	最上行 タイトル番号 <u>④ 回路記述内の構文</u>	<u>⑤ 回路記述内の構文</u>
P68	バス宣言 (VHDL) 信号名 : in STD_LOGIC_VECTOR (信号名 : out STD_LOGIC_VECTOR (バス名 : in STD_LOGIC_VECTOR (バス名 : out STD_LOGIC_VECTOR (

ページ	正																					
P73	<p>「VHDL の数値表現」 解説文追加</p> <div style="border: 1px solid #4a69bd; border-radius: 10px; padding: 10px; background-color: #e6eef6;"> <p style="margin: 0;">VHDL の数値表現</p> <p style="margin: 5px 0 0 20px;">■ 10 進数の場合</p> <p style="margin: 5px 0 0 20px;">VHDL で 10 進数を表現したい場合は数値をそのまま記述します。</p> <p style="margin: 5px 0 0 20px;">2 進数や 16 進数のようにダブルクォートで囲む必要や、基数を記述する必要はありません。</p> <p style="margin: 5px 0 0 20px;">また、区切りのためにアンダーバーが使えます。</p> <p style="margin: 10px 0 0 20px;">数値表現例</p> <table border="1" data-bbox="440 600 1174 790" style="margin: 0 auto;"> <thead> <tr> <th>数値定数</th> <th>ビット幅</th> <th>基数</th> <th>2 進数表現</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">10 進数</td> <td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">10 進数</td> <td style="text-align: center;">1</td> </tr> <tr> <td style="text-align: center;">1234</td> <td style="text-align: center;">11</td> <td style="text-align: center;">10 進数</td> <td style="text-align: center;">10011010010</td> </tr> <tr> <td style="text-align: center;">12_34</td> <td style="text-align: center;">11</td> <td style="text-align: center;">10 進数</td> <td style="text-align: center;">10011010010</td> </tr> </tbody> </table> </div>		数値定数	ビット幅	基数	2 進数表現	0	1	10 進数	0	1	1	10 進数	1	1234	11	10 進数	10011010010	12_34	11	10 進数	10011010010
数値定数	ビット幅	基数	2 進数表現																			
0	1	10 進数	0																			
1	1	10 進数	1																			
1234	11	10 進数	10011010010																			
12_34	11	10 進数	10011010010																			
ページ	誤	正																				
P74	<p>「1. 順次回路の設計」 3 行目</p> <p>は <u>Verilog</u> でのフリップフロップの設計方法を・・・</p>	<p>は <u>HDL</u> でのフリップフロップの設計方法を・・・</p>																				
P76	<p>ノンブロッキング代入文</p> <div style="border: 1px solid #ccc; padding: 5px; margin: 10px 0;"> 信号名 1 <= 信号名 2 <u> </u> </div>	<p>セミコロンが必要です。</p> <div style="border: 1px solid #ccc; padding: 5px; margin: 10px 0;"> 信号名 1 <= 信号名 2<u>;</u> </div>																				
P76	<p>「ブロッキング代入とノンブロッキング代入」 囲み内</p> <div style="display: flex; justify-content: space-around; margin: 10px 0;"> <div style="border: 1px solid #ccc; padding: 5px;"> <pre style="margin: 0;"> b = a; c = b; d = c; </pre> </div> <div style="border: 1px solid #ccc; padding: 5px;"> <pre style="margin: 0;"> b <= a; c <= b; d <= c; </pre> </div> </div>	<p>セミコロンが必要です。</p> <div style="display: flex; justify-content: space-around; margin: 10px 0;"> <div style="border: 1px solid #ccc; padding: 5px;"> <pre style="margin: 0;"> b = a; c = b; d = c; </pre> </div> <div style="border: 1px solid #ccc; padding: 5px;"> <pre style="margin: 0;"> b <= a; c <= b; d <= c; </pre> </div> </div>																				
P77	<p>process 文</p> <div style="border: 1px solid #ccc; padding: 5px; margin: 10px 0;"> process (センシティブティ・リスト)<u> </u> </div>	<p>セミコロンは不要です。</p> <div style="border: 1px solid #ccc; padding: 5px; margin: 10px 0;"> process (センシティブティ・リスト)<u> </u> </div>																				

正誤表

キットで学ぶ！シリーズ No.06 FPGA チャレンジャー入門編 XILINX Spartan 3E 版

ページ	誤	正
P77	if 文 タイトル番号 ④ if 文	② if 文
P77	event 文 タイトル番号 ④ event 文	③ event 文
P83	「学習内容」4 行目 本書では論理シミュレータに「ISim」使用します。 ▲	本書では論理シミュレータに「ISim」 <u>を</u> 使用します。
P85 { P86	手順番号 ③ 「Finish」をクリックします。 ④ 生成されたテストベンチファイルは・・・ ⑤ テストベンチを記述していく前に・・・	④ 「Finish」をクリックします。 ⑤ 生成されたテストベンチファイルは・・・ ⑥ テストベンチを記述していく前に・・・
P96	「配置配線」4 行目 RESET ボタンはどれでも <u>買い舞</u> いませませんが、	RESET ボタンはどれでも <u>構</u> いませませんが、
P98	最下行 次の課題 10-2 を ▲	次の課題 10-2 を <u>参考</u> にしてください。
P101	「Divide_Clock.vhd」12 行目 STD_LOGIC_VECTOR (<u>25</u> downto 0);	STD_LOGIC_VECTOR (<u>24</u> downto 0);
P105	「17. プログラム (回路) の考え方」1～2 行目 組み合わせたて作成できます。 <u>組</u>	組み合わせで作成できます。
P105	「18. プログラム (回路) の記述」1 行目 <u>.v</u> ファイルに課題を実現するプログラムを・・・	<u>.v</u> ファイルもしくは <u>.vhd</u> ファイルに課題を実現するプログラムを・・・

正誤表

キットで学ぶ! シリーズ No.06 FPGA チャレンジャー入門編 XILINX Spartan 3E 版

ページ	誤	正						
P109	「2. プログラム (回路) の記述」 1 行目~2 行目 .v ファイルに課題を実現するプログラムを記述して いきます。以下に課題とサンプルを示します。エディ タ画面に以下に記すサンプルを記述しましょう。	.v ファイルもしくは .vhd ファイルに課題を実現す るプログラムを記述していきます。以下にサンプル リストを示します。エディタ画面に記述しましょう。						
P111	6 行目 ④ ワークスペースに <u> </u> .ucf の末尾に・・・	④ ワークスペースの <u> </u> .ucf の末尾に・・・						
P116	「9. プログラム (回路) の記述」 1 行目 <u>.v ファイル</u> に課題を実現するプログラムを・・・	.v ファイルもしくは <u>.vhd ファイル</u> に課題を実現す るプログラムを・・・						
P119	「11. コンフィギュレーションファイルの転送」 3 行目 今度は <u>SW1</u> を操作すると・・・	今度は <u>スライドスイッチ 0</u> を操作すると・・・						
P121	「UpDown_Counter.vhd」 13 行目 STD_LOGIC_VECTOR (<u>15</u> downto 0);	STD_LOGIC_VECTOR (<u>19</u> downto 0);						
P122	「UpDown_Counter.vhd」 39 行目 buff <= (others => '0');	この行の記述は 11-2 の「SW_Counter.vhd」と異なります。 buff を 2 ビットのバス信号に変更したので、buff <= '0' ではエラーになります。						
P123	配置配線表 <table border="1" style="margin-left: auto; margin-right: auto;"><tr><td>SW[1]</td><td><u>N3</u></td><td>SW1</td></tr></table>	SW[1]	<u>N3</u>	SW1	<table border="1" style="margin-left: auto; margin-right: auto;"><tr><td>SW[1]</td><td><u>L3</u></td><td>SW1</td></tr></table>	SW[1]	<u>L3</u>	SW1
SW[1]	<u>N3</u>	SW1						
SW[1]	<u>L3</u>	SW1						
P129	「4. コンパイル (論理合成)」 囲み 1 行目 右表の配置配線の場合、以下の <u>ビット例</u> は・・・	右表の配置配線の場合、以下の <u>ビット例</u> は						
P138	コンポーネント宣言 <pre>component コンポーネント名 port(ポート宣言) end component;</pre>	<pre>component コンポーネント名 port(ポート宣言); end component;</pre> セミコロンが必要です。						

正誤表

キットで学ぶ! シリーズ No.06 FPGA チャレンジャー入門編 XILINX Spartan 3E 版

P138	誤	コンポーネント・インスタンス宣言 <pre>インスタンス名 : コンポーネント名 port map (ポート名 => 信号);</pre>
	正	<pre>インスタンス名 : コンポーネント名 port map (ポート名 => 信号);</pre> <p>構文は 1 行です。</p>